

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 10 月 23 日 (23.10.2003)

PCT

(10) 国際公開番号
WO 03/088362 A1

(51) 国際特許分類: H01L 29/72

(21) 国際出願番号: PCT/JP02/03764

(22) 国際出願日: 2002 年 4 月 16 日 (16.04.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社
ルネサステクノロジ (RENESAS TECHNOLOGY
CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二
丁目 4 番 1 号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 小清水 亮
(KOSHIMIZU, Makoto) [JP/JP]; 〒187-8588 東京都

小平市上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 籠利 康明 (KAGOTOSHI, Yasuaki) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 町田 信夫 (MACHIDA, Nobuo) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿 8 丁目 1 番 1 号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).

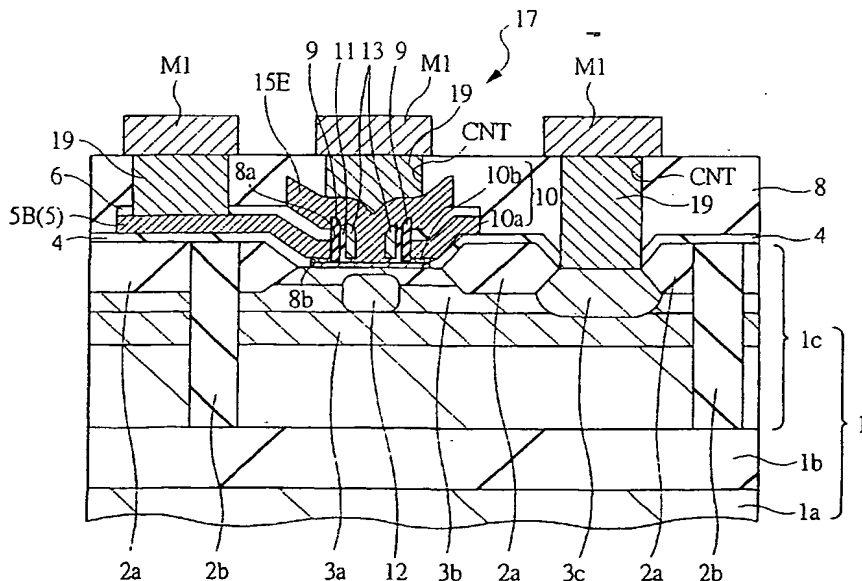
(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ARIPO 特許 (ZM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A side wall insulating film (9) is provided on a side surface of a first aperture (8a) made in a base extraction electrode (5B) of a hetero-junction bipolar transistor, a part of the side wall insulating film (9) is extended from a surface facing a semiconductor substrate (1) in the base extraction electrode (5B) toward a main surface of the semiconductor substrate (1) in a protruded manner, and the protrusion length is set to be one half the thickness of the insulating film (4) interposed between the main surface of the semiconductor substrate (1) and a lower surface of the base extraction electrode (5B), or to be smaller than one half the thickness of the insulating film (4).

[続葉有]



添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: ヘテロ接合バイポーラトランジスタのベース引出電極5Bに開口された第1開口部8aの側面に側壁絶縁膜9が設けられ、その側壁絶縁膜9の一部が、ベース引出電極5Bにおいて半導体基板1に対向する面から半導体基板1の主面に向かって突き出すように延在しており、その突き出し長さが、半導体基板1の主面とベース引出電極5Bの下面との間に介在された絶縁膜4の厚さの半分か、または絶縁膜4の厚さの半分よりも小さくなるようにした。

明 細 書

半導体装置およびその製造方法

5 技術分野

本発明は、半導体装置およびその製造技術に関し、特に、ヘテロ接合バイポーラトランジスタ (Hetero-junction Bipolar Transistor ; 以下、H B Tと略す) を有する半導体装置およびその製造方法に適用して有効な技術に関するものである。

10

背景技術

バイポーラトランジスタの高速性能の向上を主目的として、H B T技術が検討されている。本発明者が検討したH B Tの形成方法は、例えば次の通りである。

- まず、半導体基板上に窒化シリコン膜、ベース電極形成用の多結晶シリコン膜
- 15 および酸化シリコン膜を下層から順に堆積する。続いて、上記酸化シリコン膜上に第1開口部形成用のフォトレジストパターンを形成した後、そこから露出する酸化シリコン膜および多結晶シリコン膜を順にエッチングする。これにより、酸化シリコン膜および多結晶シリコン膜に、底部から窒化シリコン膜上面一部が露出されるような第1開口部を形成する。その後、第1開口部の側面に側壁絶縁膜
- 20 を形成した後、第1開口部を通じて上記窒化シリコン膜を除去することにより第1開口部よりも平面寸法の大きな第2開口部を第1開口部と連通した状態で形成する。この第2開口部からは上記半導体基板の主面および上記多結晶シリコン膜の下面側一部が露出されている。次いで、第2開口部内にシリコン-ゲルマニウム (S i G e) 等のような異種結晶層をエピタキシャル法によって選択的に成長させる。この異種結晶層は、半導体基板の露出面側と多結晶シリコン膜の露出面側との両方から成長することで形成される。その後、第1開口部内にエミッタ電極用の多結晶シリコン膜を埋め込み、その多結晶シリコン膜中の不純物を異種結晶層に拡散させてエミッタ領域を形成する。なお、このようなH B Tの形成技術については、例えば特許第2705344号公報または A Super Aligned
- 25

Selectively Grown SiGe Base(SSSB) Bipolar Transistor Fabricated by Cold-Wall UHV/CVD Technology Fumihiko Sato,et.al.IEEE Trans.ED,vol41 p.1373-1378(1994)に開示がある。

- しかし、上記HBTの形成方法には、以下の課題があることが本発明者の検討により初めて見出された。すなわち、上記方法では、上記第1開口部の形成時に、第1開口部の底面の窒化シリコン膜の上部も若干エッチングされる。特に、第1開口部の形成時にフォトリソ膜をエッチングマスクとした場合は多結晶シリコン膜と窒化シリコン膜との選択比を充分高くとることができず、窒化シリコン膜がエッチングされ易い。この状態で上記のように第1開口部の側面に側壁絶縁膜を形成した後、第2開口部を形成すると、側壁絶縁膜の下部が半導体基板の主面に直交する方向に沿って第2開口部側に大きく突き出した状態となる。この状態で上記異種結晶層を成長させようとする、異種結晶の成長が側壁絶縁膜の突出により阻害される。特に、ベース電極形成用の多結晶シリコン膜の下面側一部の箇所では異種結晶の成長が阻害される結果、異種結晶層と多結晶シリコン膜との接続が上手くできず、ベース抵抗が大幅に増大してしまう問題がある。

本発明の目的は、HBTを有する半導体装置の信頼性を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明は、第1開口部の側面に形成された側壁絶縁膜が、上記第1開口部に連通する第2開口部内に形成される異種結晶層の成長を阻害しないようにするものである。

また、本願において開示される発明のうち、他の代表的なものの概要を簡単に説明すれば、次のとおりである。

また、本発明は、第1開口部の側面に形成された側壁絶縁膜において、第2開

口部内に突出される部分の長さが、零より長く、第 2 開口部の高さの半分と等しいかまたはその半分よりも小さいものである。

また、本発明は、フォトリソスト膜をエッチングマスクとして使用せずに、ハードマスクをエッチングマスクとして、前記第 1 開口部を形成するものである。

- 5 また、本発明は、ベース電極形成用の多結晶シリコン膜およびその上に積層された絶縁膜に開口された第 1 開口部の側面に、前記第 1 開口部側面から露出する前記絶縁膜に重なるように側壁絶縁膜を設けたものである。

図面の簡単な説明

- 10 図 1 は本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。
- 図 2 は図 1 に続く半導体装置の製造工程中の要部断面図である。
- 図 3 は図 2 に続く半導体装置の製造工程中の要部断面図である。
- 図 4 は図 3 に続く半導体装置の製造工程中の要部断面図である。
- 15 図 5 は図 4 の半導体装置の製造工程中の要部拡大断面図である。
- 図 6 は図 5 に続く半導体装置の製造工程中の要部拡大断面図である。
- 図 7 は図 6 に続く半導体装置の製造工程中の要部拡大断面図である。
- 図 8 は図 9 に続く半導体装置の製造工程中の要部拡大断面図である。
- 図 9 は図 8 に続く半導体装置の製造工程中の要部拡大断面図である。
- 20 図 10 は図 9 に続く半導体装置の製造工程中の要部拡大断面図である。
- 図 11 は図 10 に続く半導体装置の製造工程中の要部拡大断面図である。
- 図 12 は図 11 に続く半導体装置の製造工程中の要部断面図である。
- 図 13 は図 12 に続く半導体装置の製造工程中の要部断面図である。
- 図 14 は図 13 に続く半導体装置の製造工程中の要部拡大断面図である。
- 25 図 15 は図 14 に続く半導体装置の製造工程中の要部断面図である。
- 図 16 は図 15 の半導体装置の製造工程中の要部平面図である。
- 図 17 は本発明者が検討した半導体装置の製造工程中の要部断面図である。
- 図 18 は図 17 に続く半導体装置の製造工程中の要部断面図である。

図19は図18に続く半導体装置の製造工程中の要部断面図である。

図20は図19に続く半導体装置の製造工程中の要部断面図である。

図21は図20に続く半導体装置の製造工程中の要部断面図である。

図22は図21に続く半導体装置の製造工程中の要部断面図である。

- 5 図23は図17～図22の半導体装置の製造方法の課題を説明するための半導体装置の製造工程中の要部断面図である。

図24は図23に続く半導体装置の製造工程中の要部断面図である。

図25は図24に続く半導体装置の製造工程中の要部断面図である。

図26は図25に続く半導体装置の製造工程中の要部断面図である。

- 10 図27はリンクベース接触不良となったトランジスタと、正常なトランジスタとのガンメルプロットを示すグラフ図である。

図28は塩素系ガスを用いて多結晶シリコン膜をエッチングする際に、エッチングマスクとしてフォトレジスト膜を用いた場合、多結晶シリコン膜と下地の絶縁膜とのエッチング選択比が低下する現象を説明するための半導体基板の要

- 15 部断面図である。

図29は塩素系ガスを用いて多結晶シリコン膜をエッチングする際に、エッチングマスクとしてフォトレジスト膜を用いた場合、多結晶シリコン膜と下地の絶縁膜とのエッチング選択比が低下する現象を説明するための説明図である。

- 20 図30は塩素系ガスを用いて多結晶シリコン膜をエッチングする際に、エッチングマスクとしてフォトレジスト膜を用いた場合、多結晶シリコン膜と下地の絶縁膜とのエッチング選択比が低下する現象を説明するための説明図である。

図31は塩素系ガスを用いて多結晶シリコン膜をエッチングする際に、エッチングマスクとしてフォトレジスト膜を用いた場合、多結晶シリコン膜と下地の絶縁膜とのエッチング選択比が低下する現象を説明するための説明図である。

25

発明を実施するための最良の形態

以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下

でも良い。また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に

5 明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

10 まず、本発明者が検討したHBT（Hetero-junction Bipolar Transistor）の形成方法の一例を説明する。図17～図22は、そのHBTの形成工程中の要部断面図を示している。図17に示すように、p型の半導体基板50には、HBTのn型のコレクタ埋込領域51、HBTのn⁻型のコレクタ領域52およびn⁺型のコレクタ引出領域53が形成されている。半導体基板50の主面には、分離

15 部54が形成されている。また、半導体基板50の主面上には、窒化シリコン膜55、外部ベース電極形成用の多結晶シリコン膜56、コレクタ引出電極用の多結晶シリコン膜57および酸化シリコン膜58が形成されている。なお、上記窒化シリコン膜55を酸化シリコン膜とし、上記酸化シリコン膜58を窒化シリコン膜としても良い。

20 このような酸化シリコン膜58上にエミッタ開口領域が露出され、それ以外が覆われるようなフォトリソパターン59を形成した後、これをエッチングマスクとしてそこから露出する酸化シリコン膜58および多結晶シリコン膜56を異方性のドライエッチング法により連続的にエッチングする。これにより、図

25 18に示すように、窒化シリコン膜55の上面一部が露出するような第1開口部60を形成した後、フォトリソパターン59を除去する。続いて、半導体基板50の主面上に酸化シリコン膜を堆積し、これをエッチバックすることにより、図19に示すように、第1開口部60の内壁面に第1側壁絶縁膜61aを形成した後、半導体基板50に対して、例えばリン酸によるウェットエッチング処理を施すことにより、第1開口部60を通じて窒化シリコン膜55の一部を除去

する。この時、多結晶シリコン膜56下の窒化シリコン膜55もエッチングされる程度に処理を施す。これにより、図20に示すように、第1開口部60よりも大きな第2開口部62を形成する。続いて、図21に示すように、第2開口部62内において半導体基板50および多結晶シリコン膜56の一部を露出させた状態

5 状態で第2開口部62内にシリコンゲルマニウム(SiGe)等のような異種結晶層63をエピタキシャル成長させる。この時、半導体基板50上には単結晶のSiGe層63aが成長し、多結晶シリコン膜56の露出面には多結晶のSiGe層63bが成長する。その後、図22に示すように、半導体基板50の主面上に酸化シリコン膜を堆積し、これをエッチバックすることにより第1開口部6

10 0の内壁の第1側壁絶縁膜61aの側面に第2側壁絶縁膜61bを形成した後、第1開口部60内に単結晶シリコンまたは多結晶シリコンからなる導体膜64をエピタキシャル成長させる。その後、酸化シリコン膜58にコンタクトホール65を形成した後、電極66、67、68を形成する。

しかし、このHBTの形成方法には、以下の課題があることを本発明者が初めて見出した。図23～図26は、その課題を説明するためのHBTの形成工程中の要部断面図である。図23は、前記した図18と同一工程の半導体基板50の要部断面を示している。前記図18は第1開口部60の底面の窒化シリコン膜55

15 5の上部に削れの無い理想的な状態を示している。しかし、実際は、図23に示すように、第1開口部60の底面の窒化シリコン膜55部分が異方性のオーバーエッチングの段階でエッチングされる。このエッチング量は、エッチング装置によっても異なるが、一般的にフォトリソ膜をエッチングマスクとすると多結晶シリコン膜と窒化シリコン膜とのエッチング選択比は著しく落ちる。その理由

20 ついては後述する。例えばC1系ガスを用いる高密度プラズマエッチング装置では、その選択比が7となる。図24は、前記図19と同一工程の半導体基板50の要部断面を示している。図24では、第1開口部60の側面の第1側壁絶縁膜61aの下部が、窒化シリコン膜55の削れ部分の側面にも重なっている。この

25 状態で、図25に示すように、第1開口部60を通じて窒化シリコン膜55の一部をウェットエッチングにより後退させて第2開口部62を形成すると、第1側壁絶縁膜61aの下部が第2開口部62に突出した状態となる。この第1側壁絶

縁膜 6 1 a の突出量が窒化シリコン膜 5 5 の厚さの半分を超えた状態で、SiGe 等のような異種結晶層を成長させると、図 2 6 に示すように、第 1 側壁絶縁膜 6 1 a が邪魔になり第 2 開口部 6 2 の外周部のエピタキシャル成長が阻害される結果、単結晶の SiGe 層 6 3 a と、多結晶の SiGe 層 6 3 b とが接続されなくなってしまう。この結果、リンクベース部でのベース抵抗が大幅に増加する。図 2 7 に、上記第 1 側壁絶縁膜 6 1 a の突出により、リンクベース接触不良となった HBT と、正常な HBT のガンメルプロットを示す。ベース-エミッタ端子間電圧 V_{BE} が 0.7 V 以上の領域における異常な I_c , I_b 特性は、ベース抵抗の極端な増加を示す。

次に、塩素 (Cl) 系のガスによる多結晶シリコン膜のエッチングにおいて、エッチングマスクとしてフォトリジスト膜が介在すると、多結晶シリコン膜と絶縁膜 (酸化シリコン膜や窒化シリコン膜) とのエッチング選択比が低下する理由を説明する。図 2 8 ~ 3 1 は、そのモデルを示している。図 2 8 の符号 7 0 は酸化シリコン膜、符号 7 1 は窒化シリコン膜、符号 7 2 は酸化シリコン膜 7 0 の表面を示している。

塩素系ガスを用いたドライエッチング法により多結晶シリコン膜をエッチングする際の選択比は、結合エネルギーの大小で説明できる。フォトリジスト膜が無い場合、Si-Cl の結合エネルギー (約 402 kJ/mol) は、Si-O の結合エネルギー (465 kJ/mol) よりも小さい。したがって、Cl による SiO_2 のエッチング速度は極めて遅い。すなわち、選択比は大である。これに対してエッチングマスクとしてフォトリジスト膜を用いた場合、反応系にカーボン (C) が存在する。すなわち、ドライエッチング処理においてフォトリジストパターン 5 9 の表面が叩かれることにより、図 2 8 および図 2 9 に示すように、フォトリジストパターン 5 9 からカーボンがチャンバー内に出る。ここで、C-O の結合エネルギー (1077 kJ/mol) は、Si-O の結合よりも強いいため、酸化シリコン膜 7 0 の表面 7 2 で C-O の結合ができると、図 3 0 に示すように、Si-O の結合力が弱まる。Si-O の結合が弱まると、図 3 1 に示すように、Si-Cl 結合が形成され酸化シリコン膜 7 0 のエッチングが進行する。すなわち、多結晶シリコン膜 5 6 と酸化シリコン膜 7 0 とのエッチング選択

比が低下する。この現象は、酸化シリコン膜70を窒化シリコン膜とした場合、さらに顕著になる。したがって、上記図23に示したように、上記第1開口部60の形成時にフォトリソパターン59をエッチングマスクとして酸化シリコン膜58およびその下層の多結晶シリコン膜56をエッチングすると、その下
5 地の窒化シリコン膜55の上部をも過剰にエッチングしてしまい、上記課題に発展することになる。

そこで、本実施の形態においては、第1開口部の側面に形成された側壁絶縁膜が第2開口部内に形成される異種結晶層の成長を阻害しないようにする。そのための一例として、フォトリソ膜をエッチングマスクとして使用せずに、ハー
10 ドマスクをエッチングマスクとして、前記第1開口部を形成する。また、異種結晶層の成長を阻害しないように、上記側壁絶縁膜が第2開口部側に突出される部分の長さを調節する。以下、本実施の形態における半導体装置の製造方法の具体的な一例を説明する。

本実施の形態の半導体装置は、例えば光伝送システム（光電変換装置等）、携
15 帯電話、高周波ディスクリット製品（電圧制御発振器（VCO: Voltage Controlled Oscillator）や高周波増幅回路等）、無線（RF: Radio Frequency）通信機器（無線LAN（Local Area Network）やブルートゥース用の電子機器等）等のような通信機器に用いられる半導体装置である。

ここでは、高速動作が可能なnpn型のヘテロ接合バイポーラトランジスタ
20 （HBT: Hetero-junction Bipolar Transistor）を有する半導体装置の製造方法を例示するが、pnp型のHBTを有する半導体装置の製造方法に適用することもできる。図1～図15は、その半導体装置の製造工程中における要部断面図、図16は図15の半導体装置の要部平面図である。図1に示すように、半導体基板（以下、基板という）1は、例えば平面略円形状のSOI（Silicon On
25 Insulator）ウエハである。すなわち、基板1は、支持基板1a上に絶縁層1bを介して半導体層1cを有している。支持基板1aは、例えば単結晶シリコン（Si）からなり、基板1の機械的強度を確保する機能を有している。絶縁層1bは、例えば酸化シリコン（SiO_x）膜からなる。半導体層1cは、例えば単結晶シリコン層からなり、半導体ウエハで形成された半導体層と、その上のエピタキシ

5 ャル法で形成された半導体層とを有している。この半導体層 1 c の主面（すなわち、基板 1 の主面）にデバイスが形成される。半導体層 1 c の主面（デバイス形成面）の分離領域には、浅い分離部 2 a と、深い溝型の分離部（Trench Isolation）2 b とが形成されている。浅い分離部 2 a は、例えば L O C O S （Local Oxidization of Silicon）法により形成された酸化シリコン膜からなる。この分離部 2 a によって活性領域（アクティブ領域）の平面的な範囲が規定されている。また、深い溝型の分離部 2 b は、分離部 2 a の上面からその分離部 2 a および半導体層 1 c を貫通して絶縁層 1 b に達するように掘られた深い溝内に、例えば酸化シリコン膜が埋め込まれて形成されている。この深い溝型の分離部 2 b によって半導体層 1 c における各デバイス領域が電氣的に完全に分離されている。なお、分離部 2 a は、絶縁層 1 b に接しない程度に半導体層 1 c に掘られた浅い溝内に、例えば酸化シリコン膜が埋め込むことで形成された、いわゆる浅溝型の分離部（S G I : Shallow Groove Isolation）で形成しても良い。H B T 領域の半導体層 1 c には、 n^+ 型のコレクタ埋込領域 3 a が形成されている。このコレクタ埋込領域 3 a には、例えばアンチモン（S b）が含有されている。このコレクタ埋込領域 3 a の上層には、 n^- 型のコレクタ領域（第 1 半導体領域）3 b および n^+ 型のコレクタ引出領域 3 c が形成されている。このコレクタ領域 3 b およびコレクタ引出領域 3 c には、例えばリン（P）が含有されている。このコレクタ領域 3 b とコレクタ引出領域 3 c とは、その間に設けられた分離部 2 a によって分離されているが、上記コレクタ埋込領域 3 a を通じて電氣的に接続されている。

まず、このような基板 1（S O I ウエハ）の主面上に、例えば酸化シリコン膜等からなる厚さ 9 5 n m 程度の絶縁膜（第 1 絶縁膜）4、例えば p^+ 型の多結晶シリコン膜等からなる厚さ 2 0 0 n m 程度の導体膜（第 1 半導体膜、第 1 多結晶シリコン膜）5、窒化シリコン膜等からなる厚さ 1 0 0 n m 程度の絶縁膜（第 2 絶縁膜、第 3 絶縁膜）6 および酸化シリコン膜等からなる厚さ 1 0 0 n m 程度の絶縁膜（第 5 絶縁膜）7 を下層から順に C V D（Chemical Vapor Deposition）法等によって堆積する。続いて、絶縁膜 7 上に、第 1 開口部の形成領域が露出され、それ以外の領域が覆われるようなフォトリソパターン（以下、レジスト

パターンという) FR 1をフォトリソグラフィ技術(以下、リソグラフィ技術という)により形成する。その後、図2に示すように、そのレジストパターンFR 1をエッチングマスクとして、そこから露出する絶縁膜7, 6を異方性のドライエッチング処理によって順にエッチングする。エッチング終了後、レジストパターンFR 1を、図3に示すように、アッシング等により除去する。

次いで、最上の酸化シリコン膜等からなる絶縁膜7をエッチングマスク(ハードマスク)として、そこから露出する導体膜5を、図4に示すように、異方性のドライエッチング処理によってエッチングして第1開口部8aを形成する。このように本実施の形態では、このエッチング処理において酸化シリコン膜等からなる絶縁膜7をエッチングマスクとして用いることにより、多結晶シリコン膜等からなる導体膜5と下層の酸化シリコン膜等からなる絶縁膜4とのエッチング選択比を、上記レジストパターンをエッチングマスクとした場合よりも大幅に向上させることができる。例えば同じ高密度プラズマエッチング装置であっても、レジストパターンをエッチングマスクとした場合は導体膜5と絶縁膜4との選択比が7であるのに対して、酸化シリコン膜等からなる絶縁膜7をエッチングマスクとした場合はその選択比を約3倍の20にすることができた。このため、第1開口部8a底面の絶縁膜4上部の削れ量を格段に低減できる。また、絶縁膜4上部の削れ量の安定性を向上させることができ、再現性の良い加工が可能となる。ここで、図5は図4の要部拡大断面図を示している。本実施の形態においては、第1開口部8a底部の絶縁膜4上面の削れ量d1は、絶縁膜4において半導体層1cの主面に直交する方向の厚さをd2とすると、 $0 < d1 \leq d2 / 2$ となるようにされている。すなわち、削れ量d1は、0(零)よりは大きい、絶縁膜4の厚さd2の半分か、またはそれよりも小さい。本発明者の検討によれば、例えば厚さ200nm程度の多結晶シリコン膜等からなる導体膜5をエッチングした時、厚さが約100nm程度の酸化シリコン膜等からなる絶縁膜4の削れ量d1を定常的に20nm以下にすることができた。すなわち、絶縁膜4の削れ量d1を、絶縁膜4の厚さd2の1/5以下とすることができ、十分なマージンを確保できた。なお、第1開口部8aの平面寸法は、例えば約0.5 μ m×約2.0 μ mである。

次いで、基板1（SOIウエハ）の主面上に、例えば窒化シリコン膜等からなる厚さ50nm程度の絶縁膜をCVD法等によって堆積した後、その絶縁膜を異方性のドライエッチング法によってエッチバックすることにより、図6に示すように、第1開口部8aの内側面（第1面、第3面）に側壁絶縁膜（第2絶縁膜、第4絶縁膜、第6絶縁膜）9を形成する。続いて、基板1に対して、例えばフッ酸（HF）によるウエットエッチング処理を施して、第1開口部8aを通じて絶縁膜4の一部を除去することにより、図7に示すように、第1開口部8aに連通するように、第1開口部8aよりも大きな平面寸法の第2開口部（開口部）8bを形成する。第2開口部8b内からは半導体層1cの主面（活性領域）の一部が露出されている。また、このエッチング処理では、絶縁膜4のエッチングが導体膜5の下側一部にも及ぶように、すなわち、アンダーカットになるように、オーバエッチング処理を施す。このため、導体膜5の端部は第2開口部8bの外周端から第2開口部8bの中心に向かって底のように突き出して延在しており、その突き出し部において基板1に対向する面（第2面）が露出されている。また、本実施の形態では、側壁絶縁膜9の下端部が、導体膜5の第2面から半導体層1cの主面に向かって若干突き出している。すなわち、側壁絶縁膜9の一部が第2開口部8b側に若干突出されている。この側壁絶縁膜9の下端側の突出量は、上記削れ量d1に相当する。すなわち、上記側壁絶縁膜9の下端側の突出量は、0（零）よりも大きく、絶縁膜4の厚さd2の半分か、または厚さd2の半分よりも小さい。この絶縁膜4の厚さは、第2開口部8b内において半導体層1cの主面から上記導体膜5の突き出し部分の下面までの高さ（第2開口部8bの高さ）h1に相当する。また、絶縁膜7は、絶縁膜4と同じ酸化シリコン膜からなるので、上記ウエットエッチング処理により全て除去される。ただし、本実施の形態では、この段階において導体膜5の上面に窒化シリコン膜等からなる絶縁膜6が堆積されている上、第1開口部8a内における導体膜5および絶縁膜6の側面（第1面、第3面）に、その全体を被覆するように窒化シリコン膜等からなる側壁絶縁膜9が形成されている。ここでは、側壁絶縁膜9は、その上部が絶縁膜6の上面よりも突出された状態で第1開口部8a内の絶縁膜6の側面（第3面）に重なるように形成されている。このように導体膜15の上面および第1開口部8

a内側面（第1面、第3面）が窒化シリコン膜からなる絶縁膜6および側壁絶縁膜9によりしっかりと覆われているので、上記ウエットエッチング処理を充分に行うことができる。このため、水素終端され化学的に安定な半導体層1cのシリコンの表面をより良好に露出させることができるので、続く異種結晶層の成長時に水素終端効果をより効果的に作用させることができ、良好な結晶成長を促すことができる。

次いで、基板1（SOIウエハ）を異種結晶成長処理用のエピタキシャル成長装置の室内に収容した後、水素ガス等のような還元性ガス雰囲気中においてランブアニール法等により短時間アニールを施す。この加熱処理は、還元性クリーニング処理とも呼ばれ、その主目的は、還元反応等によって異種結晶成長面（半導体層1cの主面）上の酸化シリコン膜を除去し、その結晶成長面に清浄なシリコン表面を露出させることである。続いて、図8に示すように、上記エピタキシャル成長装置の処理室内において、例えばシリコン-ゲルマニウム（SiGe）等のような異種結晶層（半導体膜）10を、例えばLP-CVD（Low Pressure-Chemical Vapor Deposition）法により基板1（SOIウエハ）の半導体層1c上に選択的にエピタキシャル成長させる。この選択SiGe成長時においては、原料ガスとして、例えば SiH_2Cl_2 、 SiH_4 、 HCl 、 GeH_4 、 B_2H_6 、 H_2 等が用いられる。この成長処理では、半導体層1cの主面上には単結晶層（第3半導体膜）10aが成長し、導体膜5の下面側一部の露出面（第2面）には多結晶層（第2半導体膜）10bが成長し、それらが接合されて異種結晶層10が形成される。単結晶層10aは、例えばi（イントリンシック）-SiGe層、p型のSiGe層およびi（イントリンシック）-Si層が下層から順に成長されている。この単結晶層10aのp型のSiGe層は、HBTのベース領域（真性ベース領域）となる部分である。このp型のSiGe層には、例えばホウ素が導入されており、その濃度は、例えば $2 \times 10^{19} \text{ cm}^{-3}$ 程度である。また、最上部のi-Si層は基本的にHBTのエミッタ領域が形成される部分である。一方、多結晶層10bは、リンクベース部となる部分であり、多結晶のSiGeが成長されてなる。このような単結晶層10aと多結晶層10bとが接続された時点で成長を終了させる。この時、本実施の形態においては、上記側壁絶縁膜9の下端

側の突出量が、絶縁膜4の厚さ d_2 の半分か、または厚さ d_2 の半分よりも小さくなるようにされていることにより、異種結晶層10の成長、特に多結晶層10bの成長を阻害しない。このため、多結晶層10bを良好に成長させることができる。したがって、多結晶層10bと単結晶層10aとをしっかりと接続させることができるので、HBTのリンクベース部（多結晶層10b部分）での接触抵抗を大幅に低減させることができる。また、導体膜5の上面や第1開口部8a内の側面が一部でも露出されていると、この異種結晶成長時にその露出面から異種結晶層が成長してしまう。特に導体膜5において第1開口部8a側の上部角は露出され易く、そこから不必要な異種結晶層が成長してしまう場合がある。この不必要な異種結晶層の成長は、ベース-エミッタ間の短絡不良の原因となる。これに対して本実施の形態では、側壁絶縁膜9が、第1開口部8a内の絶縁膜6および導体膜5の側面に重なるように形成され、導体膜5の上面および第1開口部8a内側面をしっかりと覆うように設けられていることにより、異種結晶層10が不必要な個所に成長するのを防止することができる。すなわち、異種結晶層10の選択成長を良好に行うことができる。なお、このような異種結晶層10の選択成長時に、ベース電極形成用の導体膜5中の不純物（ホウ素）は絶縁膜4に到達する程度までに更に拡散することにより、導体膜5の抵抗が低減される。

ただし、異種結晶層10の主要素は、SiGeに限定されるものではなく種々変更可能であり、例えば上記Siまたはシリコン-ゲルマニウム-カーボン（SiGeC）を用いても良い。Siとする場合は、i（イントリンシック）-Si、p型のSiおよびi（イントリンシック）-Siを下層から順に成長させて異種結晶層10の単結晶層10aを形成する。また、SiGeCとする場合は、i（イントリンシック）-SiGeC、p型のSiGeCおよびi（イントリンシック）-Siを下層から順に成長させて異種結晶層10の単結晶層10aを形成する。異種結晶層10の主要素をSiGe層とした場合には、Siとした場合に比べて、遮断周波数特性（ f_T ）および電流増幅率（ h_{FE} ）を向上させることができる。また、Siとした場合には温度特性の向上が図れる。さらに、SiGeCとした場合には、SiGeとした場合に比べてGeの濃度を増加させることができるので、遮断周波数特性および電流増幅率をさらに向上させることができる。

次いで、図9に示すように、基板1（SOIウエハ）の主面上に、例えば酸化シリコン膜等からなる絶縁膜（第7絶縁膜）11をCVD法等によって堆積した後、この絶縁膜11をスルー膜として半導体層1cに、例えばリン（P）をイオン注入することによりベース直下の真性コレクタ領域を選択的に高濃度にする。このイオン注入処理は、半導体層1cにSIC（Selective Implanted Collector）領域12を形成するための処理である。これにより、HBTの周波数特性を向上させることができる。また、コレクタ抵抗を下げることもできる。続いて、基板1の主面上に、例えば低抵抗多結晶シリコン膜をCVD法等によって堆積した後、これを異方性のドライエッチング法によってエッチバックすることにより、図10に示すように、第1開口部8aの側面に上記側壁絶縁膜9および絶縁膜11を介して低抵抗多結晶シリコン膜等からなる側壁導体膜（第5半導体膜）13を形成する。この時、異種結晶層10の表面は絶縁膜11に守られているためドライエッチングによる損傷を防止できる。その後、基板1に対してウェットエッチング処理を施して、側壁導体膜13から露出される絶縁膜11を図11に示すように選択的にエッチングすることにより、エミッタ開口部（第3開口部）14を形成する。エミッタ開口部14からは異種結晶層10の単結晶層10aが露出されている。エミッタ開口部14は、ウェットエッチング処理で形成するので異種結晶層10の露出面が損傷を受けることも無い。

次いで、基板1（SOIウエハ）の主面上に、例えば厚さ約250nm程度のリンドープの多結晶シリコン膜からなる導体膜をCVD法により基板1の主面側に堆積した後、その導体膜を、図12に示すように、レジストパターンFR2をエッチングマスクとしたドライエッチング法によりエミッタ引出電極（第4半導体膜、第6半導体膜、第2電極、エミッタ電極）15Eを形成する。エミッタ引出電極15の底面は、エミッタ開口部14を通じて異種結晶層10の上記i-Si層と接触している。続いて、レジストパターンFR2をアッシングにより除去した後、図13に示すように、レジストパターンFR3をエッチングマスクとしたドライエッチング法により絶縁膜6および導体膜5をエッチングしてベース引出電極（第1半導体膜、第1電極、第1多結晶シリコン膜、ベース電極）5Bを形成する。本実施の形態では、ベース引出電極5Bの上面および第1開口部

8 a内の側面がそれぞれ絶縁膜6および側壁絶縁膜9によりしっかりと覆われているので、ベース引出電極5 Bとエミッタ引出電極1 5 Eとの間の絶縁耐圧を十分に確保でき、それら電極間の短絡不良を防止することが可能となっている。続いて、レジストパターンFR 3を除去した後、基板1 (SOIウエハ) に対して、例えば9 0 0℃、3 0秒程度の熱処理を施す。これにより、エミッタ引出電極1 5 E中のリンを異種結晶層1 0のi-Si層に拡散させて、図1 4に示すように、異種結晶層1 0の上部(エミッタ引出電極1 5 Eと接触する領域)に単結晶エミッタ領域1 6を形成する。このようにして基板1 (SOIウエハ)にHBT 1 7を形成する。その後、図1 5および図1 6に示すように、基板1の主面上に、例えば酸化シリコン膜等からなる絶縁膜1 8をCVD法等によって堆積した後、絶縁膜1 8にベース引出電極5 B、エミッタ引出電極1 5 Eおよびコレクタ引出領域3 cが露出するようなコンタクトホールCNTを形成する。

次いで、基板1 (SOIウエハ)の主面上に、例えばタングステン(W)をCVD法等によって堆積した後、これをCMP法またはエッチバック法によって削ることにより、コンタクトホールCNT内にタングステン等からなるプラグ1 9を形成する。続いて、基板1 (SOIウエハ)の主面上に、例えばチタタンングステン(TiW)等のようなバリア性導体膜、アルミニウム-シリコン-銅合金等のようなアルミニウム系の相対的に厚い主導体膜およびチタタンングステン等のようなバリア性導体膜をスパッタリング法等によって下層から順に堆積する。その後、その積層導体膜をリソグラフィ技術およびドライエッチング法によってパターニングすることにより、第1層配線M1を形成する。なお、図1 6は、設計図を示しているのでエミッタ開口部1 4、第1開口部8 aおよびコンタクトホールCNT等の平面形状が長方形形状で示されているが、実際には角のとれた形状となる。

このように、本実施の形態によれば、HBT 1 7のベース抵抗(特にリンクベース部とベース引出電極5 Bとの接続抵抗)を大幅に低減できる。また、ベース引出電極5 Bとエミッタ引出電極1 5 Eとの絶縁耐性を十分に確保でき、それら電極間の短絡不良を防止できる。したがって、HBT 1 7を有する半導体装置の性能、信頼性および歩留まりを大幅に向上させることが可能となる。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

5 例えば基板がSOIウエハからなる場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば半導体で構成される通常の基板や半導体基板の表面にエピタキシャル層を設けてなるエピタキシャル基板を用いても良い。

10 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるHBTを有する半導体装置の製造方法に適用した場合について説明したが、それに限定されるものではなく、例えば同一基板にHBTとその他の素子を設けた半導体装置の製造方法にも適用できる。また、通信機器に適用されることに限定されるものではなく、例えばコンピュータやデジタルカメラ等のような他の情報処理装置に適用することもできる。

15 産業上の利用可能性

本発明は、光伝送システムや携帯電話等のような通信機器を構成する半導体装置の製造方法として、また、コンピュータやデジタルカメラ等のような情報処理装置を構成する半導体装置の製造方法として有用であり、特にHBTを有する半導体装置の製造方法に用いるのに適している。

請求の範囲

1. 半導体装置において、
 - (a) 半導体基板に形成された第1導電型を有する第1半導体領域、
 - (b) 前記半導体基板上に堆積された第1絶縁膜、
 - 5 (c) 前記第1絶縁膜に開口された開口部、
 - (d) 前記第1導電型とは反対の導電型の第2導電型を有し、前記第1絶縁膜上に設けられ、一部が前記開口部の端部から開口部の中心に向かって突き出すように延在された第1半導体膜、
 - (e) 前記第1半導体膜の突き出し部の一面の前記半導体基板に対向する面に接
 - 10 触した状態で、前記半導体基板の主面に向かって形成された第2導電型を有する第2半導体膜、
 - (f) 前記半導体基板の主面および前記第2半導体膜に接触するように形成された第2導電型を有する第3半導体膜、
 - (g) 前記第1半導体膜上と、前記開口部上に位置する前記第1半導体膜の側面
 - 15 とに形成された第2絶縁膜を有し、
 - (h) 前記第1半導体膜の側面に形成された第2絶縁膜のうち、前記第1半導体膜の底面から前記半導体基板の主面に向かって突き出るように延びた部分の長さは、前記第1絶縁膜の前記半導体基板に交差する方向の膜厚の半分と等しいか、またはそれよりも小さいことを特徴とする半導体装置。
- 20 2. 請求項1記載の半導体装置において、前記第3半導体膜と電氣的に接続され、前記第1半導体膜と絶縁されるように、第1導電型を有する第4半導体膜を設けたことを特徴とする半導体装置。
3. 請求項1記載の半導体装置において、前記第1半導体膜の側面に形成された第2絶縁膜は、前記第1半導体膜上の第2絶縁膜の上面から上方に突出している
- 25 ことを特徴とする半導体装置。
4. 請求項1記載の半導体装置において、前記第2絶縁膜は窒化シリコン膜からなることを特徴とする半導体装置。
5. 請求項1記載の半導体装置において、前記第2半導体膜は多結晶からなることを特徴とする半導体装置。

6. 請求項 1 記載の半導体装置において、前記第 3 半導体膜は単結晶からなることを特徴とする半導体装置。

7. 請求項 1 記載の半導体装置において、前記第 2、第 3 半導体膜はシリコンーゲルマニウム主体の材料からなることを特徴とする半導体装置。

5 8. 以下の構成を有することを特徴とする半導体装置；

(a) 半導体基板に形成された第 1 導電型の第 1 半導体領域、

(b) 前記半導体基板上に堆積された第 1 絶縁膜、

(c) 前記第 1 絶縁膜に開口された開口部、

10 (d) 前記第 1 導電型とは反対の導電型の第 2 導電型とされ、前記第 1 絶縁膜上に設けられ、一部が前記開口部の端部から開口部の中心に向かって突き出すように延在された第 1 電極、

(e) 前記第 1 電極上に設けられた第 3 絶縁膜、

(f) 前記開口部内に設けられ、前記第 1 電極の突き出し部分を通じて電氣的に接続され、かつ、前記第 1 半導体領域と電氣的に接続された半導体膜、

15 (g) 前記第 1 電極の突き出し部分の一面の前記半導体基板の主面に交差する第 1 面に設けられ、前記第 1 電極の突き出し部分の一面の前記半導体基板に対向する第 2 面から前記半導体基板の主面に向かって突き出すように延在し、その突き出し部分の長さが、前記第 1 絶縁膜の厚さの半分か、または前記第 1 絶縁膜の厚さの半分よりも小さくなるように設けられた第 4 絶縁膜。

20 9. 請求項 8 記載の半導体装置において、前記半導体膜と電氣的に接続され、前記第 1 電極と絶縁されるように、第 1 導電型の第 2 電極を設けたことを特徴とする半導体装置。

10. 請求項 8 記載の半導体装置において、前記第 4 絶縁膜は、前記第 1 電極の突き出し部分上の前記第 3 絶縁膜の突き出し部分の一面であって前記半導体基板の主面に交差する第 3 面に重なるように設けられていることを特徴とする半導体装置。

11. 請求項 10 記載の半導体装置において、前記第 4 絶縁膜の一部は、前記第 3 絶縁膜の上面から突出していることを特徴とする半導体装置。

12. 請求項 8 記載の半導体装置において、前記第 3、第 4 絶縁膜は、同一種類

の絶縁膜からなり、前記第 1 絶縁膜とは異なる種類の絶縁膜からなることを特徴とする半導体装置。

1 3. 請求項 8 記載の半導体装置において、前記第 3、第 4 絶縁膜は、窒化シリコン膜からなることを特徴とする半導体装置。

5 1 4. 請求項 8 記載の半導体装置において、前記半導体膜は、前記半導体基板とは異なる種類の半導体を主体とする材料からなることを特徴とする半導体装置。

1 5. 請求項 1 4 記載の半導体装置において、前記半導体膜は、シリコンーゲルマニウム主体の材料からなることを特徴とする半導体装置。

10 1 6. 請求項 8 記載の半導体装置において、前記半導体膜は、前記第 1 電極の前記第 2 面から成長した第 2 半導体膜と、その第 2 半導体膜に接続されるように前記半導体基板の主面から成長した第 3 半導体膜とを有することを特徴とする半導体装置。

1 7. 請求項 1 6 記載の半導体装置において、前記第 2 半導体膜は多結晶からなり、前記第 3 半導体膜は単結晶からなることを特徴とする半導体装置。

1 8. バイポーラトランジスタを有する半導体装置において、

(a) 前記バイポーラトランジスタのコレクタ領域であって半導体基板に形成された第 1 導電型の第 1 半導体領域、

(b) 前記半導体基板上に堆積された酸化シリコン膜、

20 (c) 前記酸化シリコン膜に開口された開口部、

(d) 前記酸化シリコン膜上に設けられ、前記第 1 導電型とは反対の導電型の第 2 導電型を有し、一部が前記開口部の端部から開口部の中心に向かって突き出すように延在された第 1 多結晶シリコン膜、

25 (e) 前記第 1 多結晶シリコン膜の突き出し部の一面の前記半導体基板に対向する面に接触した状態で、前記半導体基板の主面に向かって形成された第 2 導電型の多結晶のシリコンーゲルマニウム膜、

(f) 前記半導体基板の主面および前記多結晶のシリコンーゲルマニウム膜に接触するように形成された第 2 導電型の単結晶のシリコンーゲルマニウム膜、

(g) 前記第 1 多結晶シリコン膜上と、前記開口部上に位置する前記第 1 多結晶

シリコン膜の側面とに形成された窒化シリコン膜を有し、

前記第 1 多結晶シリコン膜の側面に形成された窒化シリコン膜のうち、前記第 1 多結晶シリコン膜の底面から前記半導体基板の主面に向かって突き出るように延びた部分の長さは、前記酸化シリコン膜の前記半導体基板に交差する方向の膜厚の半分と等しいか、またはそれよりも小さく、かつ、前記第 1 多結晶シリコン膜の側面に形成された窒化シリコン膜は、前記第 1 多結晶シリコン膜上の窒化シリコン膜の上面から上方に突出していることを特徴とする半導体装置。

19. 以下の構成を含むバイポーラトランジスタを有することを特徴とする半導体装置；

- 10 (a) 前記半導体基板に形成された第 1 導電型のコレクタ領域、
- (b) 前記半導体基板上に堆積された第 1 絶縁膜、
- (c) 前記第 1 絶縁膜に開口された開口部、
- (d) 前記第 1 導電型と反対の導電型の第 2 導電型を有し、前記第 1 絶縁膜上に設けられ、一部が前記開口部の端部から開口部の中心に向かって延在し突き出すように形成されたベース電極、
- 15 (e) 前記ベース電極上に設けられた第 3 絶縁膜、
- (f) 前記開口部内の前記ベース電極および前記コレクタ領域に接した状態で形成された半導体膜、
- (g) 前記半導体膜に形成され、前記ベース電極の突き出し部分を通じて電氣的に接続された第 2 導電型のベース領域、
- 20 (h) 前記半導体膜の前記ベース領域内に形成された第 1 導電型のエミッタ領域、
- (i) 前記エミッタ領域と電氣的に接続され、前記ベース電極と絶縁された状態で設けられた第 1 導電型のエミッタ電極、
- 25 (j) 前記ベース電極とエミッタ電極との間において、前記ベース電極の突き出し部分の一面であって前記半導体基板の主面に交差する第 1 面に設けられ、前記ベース電極の突き出し部分の一面であって前記半導体基板に対向する第 2 面から前記半導体基板の主面に向かって突き出すように延在され、その突き出し部分の長さが、前記第 1 絶縁膜の厚さの半分か、または前記第 1 絶縁膜の厚さの半分

よりも小さくなるように設けられた第4絶縁膜。

20. 請求項19記載の半導体装置において、前記第4絶縁膜は、前記ベース電極の突き出し部分上の前記第3絶縁膜の突き出し部分の一面であって前記半導体基板の主面に交差する第3面に重なるように設けられていることを特徴とする半導体装置。

21. 請求項19記載の半導体装置において、前記第4絶縁膜の一部は、前記第3絶縁膜の上面から突出していることを特徴とする半導体装置。

22. 請求項19記載の半導体装置において、前記第3、第4絶縁膜は、同一種類の絶縁膜からなり、前記第1絶縁膜とは異なる種類の絶縁膜からなることを特徴とする半導体装置。

23. 請求項19記載の半導体装置において、前記第3、第4絶縁膜は、窒化シリコン膜からなることを特徴とする半導体装置。

24. 請求項19記載の半導体装置において、前記半導体膜は、前記半導体基板とは異なる種類の半導体を主体とする材料からなることを特徴とする半導体装置。

25. 請求項19記載の半導体装置において、前記半導体膜は、シリコン-ゲルマニウム主体の材料からなることを特徴とする半導体装置。

26. 請求項19記載の半導体装置において、前記半導体膜は、前記ベース電極の前記第2面から成長した第2半導体膜と、その第2半導体膜に接続されるように、前記半導体基板の主面から成長した第3半導体膜とを有することを特徴とする半導体装置。

27. 請求項26記載の半導体装置において、前記第2半導体膜は多結晶からなり、前記第3半導体膜は単結晶からなることを特徴とする半導体装置。

28. 半導体装置の製造工程において、

- (a) 半導体基板に第1導電型の第1半導体領域を形成する工程、
- (b) 前記半導体基板の主面上に第1絶縁膜を堆積する工程、
- (c) 前記第1絶縁膜上に前記第1導電型とは反対の第2導電型の第1半導体膜を堆積する工程、
- (d) 前記第1半導体膜上に前記第1絶縁膜とは異種の第3絶縁膜を堆積する工

程、

(e) 前記第 3 絶縁膜上に前記第 3 絶縁膜に対してエッチング選択比をとることのできる第 5 絶縁膜を堆積する工程、

5 (f) 前記第 5 絶縁膜および第 3 絶縁膜の一部をフォトリソist膜をエッチングマスクとしたエッチング法により開口する工程、

(g) 前記フォトリソist膜を除去した後、前記第 5 絶縁膜をエッチングマスクとして前記開口から露出する前記第 1 半導体膜を除去することにより、前記第 3、第 5 絶縁膜および第 1 半導体膜に第 1 開口部を形成する工程、

10 (h) 前記第 1 開口部の側面に前記第 1 絶縁膜とは異種の第 6 絶縁膜を形成する工程、

(i) 前記第 3 絶縁膜および第 6 絶縁膜をエッチングマスクとして、前記第 1 開口部を通じて第 1 絶縁膜の一部を選択的にエッチングすることにより、前記第 1 絶縁膜に、前記第 1 半導体膜において前記半導体基板の主面に対向する面および前記第 1 半導体領域が露出される第 2 開口部を形成する工程、

15 (j) 前記第 2 開口部内に半導体膜を形成する工程を有し、

前記第 1 開口部の形成処理において、前記第 1 開口部から露出される前記第 1 絶縁膜の一部がエッチングされる量および前記第 1 半導体膜において前記半導体基板の主面に対向する面から前記半導体基板の主面に向かって突出する前記第 6 絶縁膜の突出量を、前記第 1 絶縁膜の厚さの半分か、または前記第 1 絶縁膜の厚さの半分よりも小さくすることを特徴とする半導体装置の製造方法。

20 29. 請求項 28 記載の半導体装置の製造方法において、

(k) 前記 (j) 工程後、前記半導体基板の主面上に第 7 絶縁膜を堆積する工程、

25 (l) 前記第 1 開口部の側面に、前記第 6 絶縁膜および第 7 絶縁膜を介して第 1 導電型の第 5 半導体膜をドライエッチング法により形成する工程を有することを特徴とする半導体装置の製造方法。

30. 請求項 29 記載の半導体装置の製造方法において、

(m) 前記 (l) 工程後、前記第 1 開口部内において前記第 5 半導体膜から露出する前記第 7 絶縁膜をウェットエッチング法により除去することにより前記第 7 絶縁膜に前記半導体膜の一部が露出する第 3 開口部を形成する工程、

(n) 前記 (m) 工程後、前記半導体膜と接触し、前記第 1 半導体膜と絶縁された第 6 半導体膜を形成する工程を有することを特徴とする半導体装置の製造方法。

3 1. 請求項 3 0 記載の半導体装置の製造方法において、前記第 1 半導体領域は
5 バイポーラトランジスタのコレクタ領域であり、前記第 1 半導体膜は前記バイポーラトランジスタのベース電極であり、前記第 6 半導体膜は前記バイポーラトランジスタのエミッタ電極であることを特徴とする半導体装置の製造方法。

3 2. 請求項 2 8 記載の半導体装置の製造方法において、前記第 1、第 5 絶縁膜は酸化シリコン膜からなり、前記第 3 絶縁膜および第 6 絶縁膜は窒化シリコン膜
10 からなることを特徴とする半導体装置の製造方法。

3 3. 請求項 2 8 記載の半導体装置の製造方法において、前記半導体膜は、前記半導体基板とは異なる種類の半導体を主体とする材料からなることを特徴とする半導体装置の製造方法。

3 4. 請求項 3 3 記載の半導体装置の製造方法において、前記半導体膜は、シリ
15 コン—ゲルマニウム主体の材料からなることを特徴とする半導体装置の製造方法。

3 5. 請求項 2 8 記載の半導体装置の製造方法において、前記半導体膜は、前記第 1 半導体膜の第 2 開口部から露出する面から成長した第 2 半導体膜と、前記半導体基板の主面から成長した第 3 半導体膜とを接合することで形成することを
20 特徴とする半導体装置の製造方法。

3 6. 請求項 3 5 記載の半導体装置の製造方法において、前記第 2 半導体膜は多結晶であり、前記第 3 半導体膜は単結晶であることを特徴とする半導体装置の製造方法。

3 7. 請求項 2 8 記載の半導体装置の製造方法において、前記第 5 絶縁膜は、第
25 1 絶縁膜と同種の絶縁材料からなることを特徴とする半導体装置の製造方法。

3 8. 半導体装置の製造工程において、

(a) 半導体基板にバイポーラトランジスタの第 1 導電型のコレクタ領域を形成する工程、

(b) 前記半導体基板の主面上に酸化シリコン膜からなる第 1 絶縁膜を堆積する

工程、

(c) 前記第 1 絶縁膜上に前記バイポーラトランジスタの電極形成用の導体膜であって、前記第 1 導電型とは反対の第 2 導電型のベース電極形成用の第 1 半導体膜を堆積する工程、

5 (d) 前記第 1 半導体膜上に窒化シリコン膜からなる第 3 絶縁膜を堆積する工程、

(e) 前記第 3 絶縁膜上に酸化シリコン膜からなる第 5 絶縁膜を堆積する工程、

(f) 前記第 5 絶縁膜および第 3 絶縁膜の一部をフォトリソ膜をエッチングマスクとしたエッチング法により開口する工程、

10 (g) 前記フォトリソ膜を除去した後、前記第 5 絶縁膜をエッチングマスクとして前記開口から露出する前記第 1 半導体膜を除去することにより、前記第 3、第 5 絶縁膜および第 1 半導体膜に第 1 開口部を形成する工程、

(h) 前記第 1 開口部の側面に窒化シリコン膜からなる第 6 絶縁膜を形成する工程、

15 (i) 前記第 3 絶縁膜および第 6 絶縁膜をエッチングマスクとして、前記第 1 開口部を通じて第 1 絶縁膜の一部を選択的にエッチングすることにより、前記第 1 絶縁膜に、前記第 1 半導体膜において前記半導体基板の主面に対向する面および前記コレクタ領域が露出される第 2 開口部を形成する工程、

(j) 前記第 2 開口部内に、前記第 1 半導体膜の第 2 開口部から露出する面から
20 成長し、前記バイポーラトランジスタのリンクベースが形成される多結晶の第 2 半導体膜と、前記半導体基板の主面から成長し、前記バイポーラトランジスタの真性ベース領域およびエミッタ領域が形成される単結晶の第 3 半導体膜とを各々が接合されるようにエピタキシャル成長法により形成する工程と、

前記第 1 開口部の形成処理において、前記第 1 開口部から露出される前記第 1
25 絶縁膜の一部がエッチングされる量および前記第 1 半導体膜において前記半導体基板の主面に対向する面から前記半導体基板の主面に向かって突出する前記第 6 絶縁膜の突出量を、前記第 1 絶縁膜の厚さの半分か、または前記第 1 絶縁膜の厚さの半分よりも小さくすることを特徴とする半導体装置の製造方法。

39. 請求項 38 記載の半導体装置の製造方法において、

(k) 前記(j)工程後、前記半導体基板の主面上に第7絶縁膜を堆積する工程、
(l) 前記第1開口部の側面に、前記第6絶縁膜および第7絶縁膜を介して第1導電型の第5半導体膜をドライエッチング法により形成する工程を有することを特徴とする半導体装置の製造方法。

5 40. 請求項39記載の半導体装置の製造方法において、

(m) 前記(l)工程後、前記第1開口部内において前記第5半導体膜から露出する前記第7絶縁膜をウエットエッチング法により除去することにより前記第7絶縁膜に前記第3半導体膜の一部が露出する第3開口部を形成する工程、

10 (n) 前記(m)工程後、前記第3半導体膜と接触し、前記第1半導体膜と絶縁されたエミッタ電極形成用の第6半導体膜を形成する工程を有することを特徴とする半導体装置の製造方法。

図 1

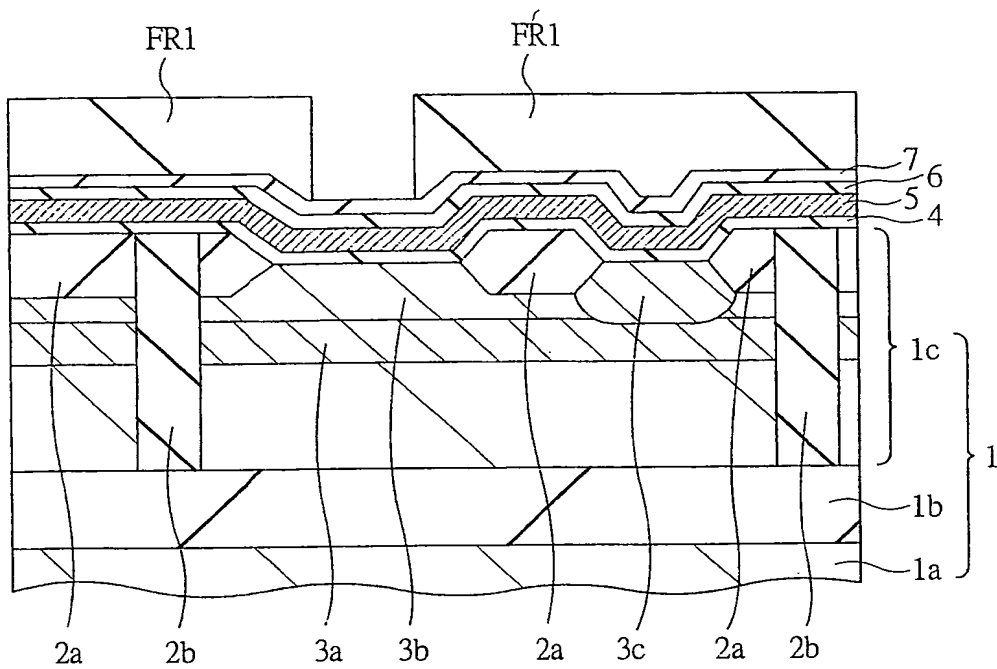


図 2

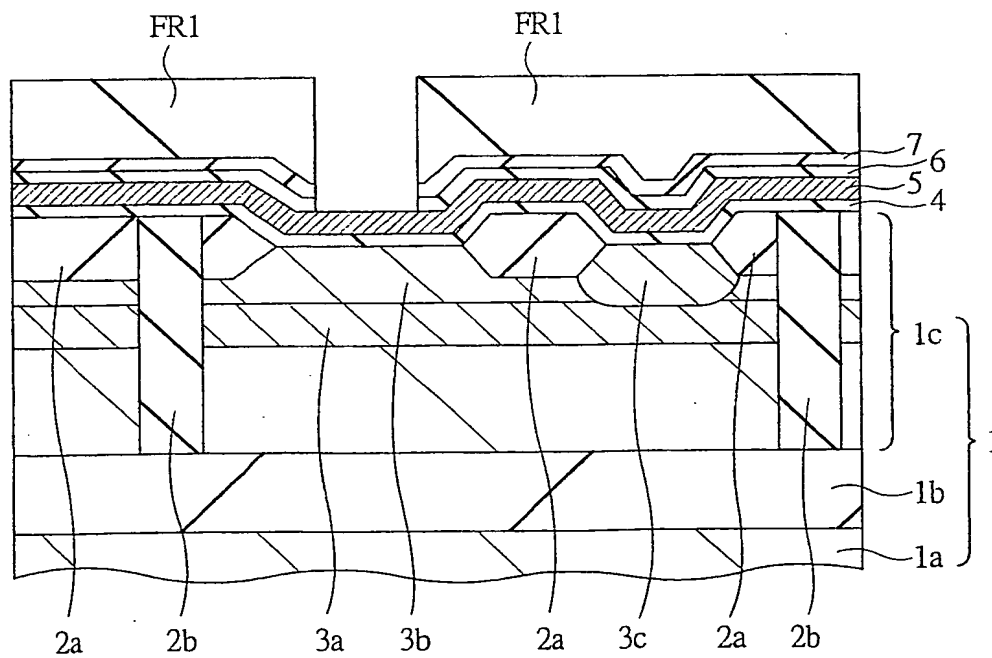


図 3

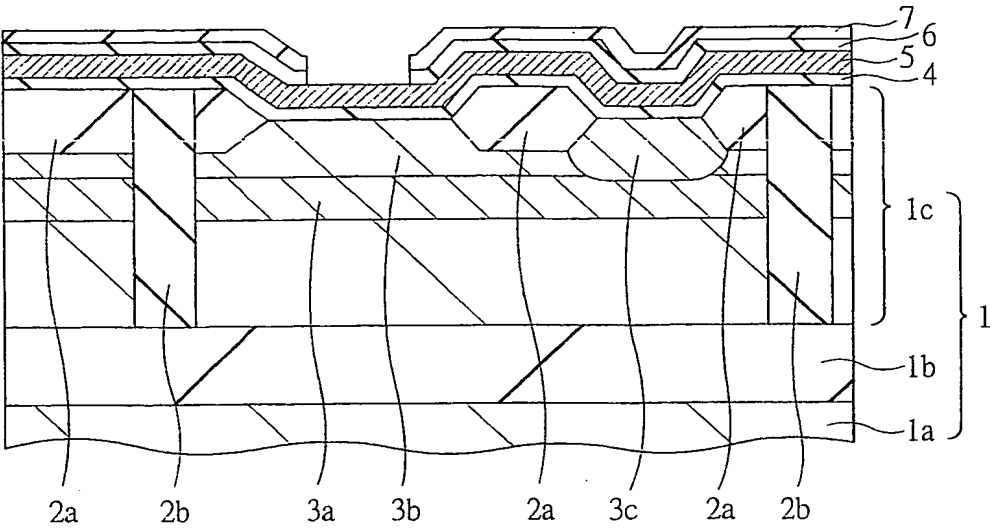


図 4

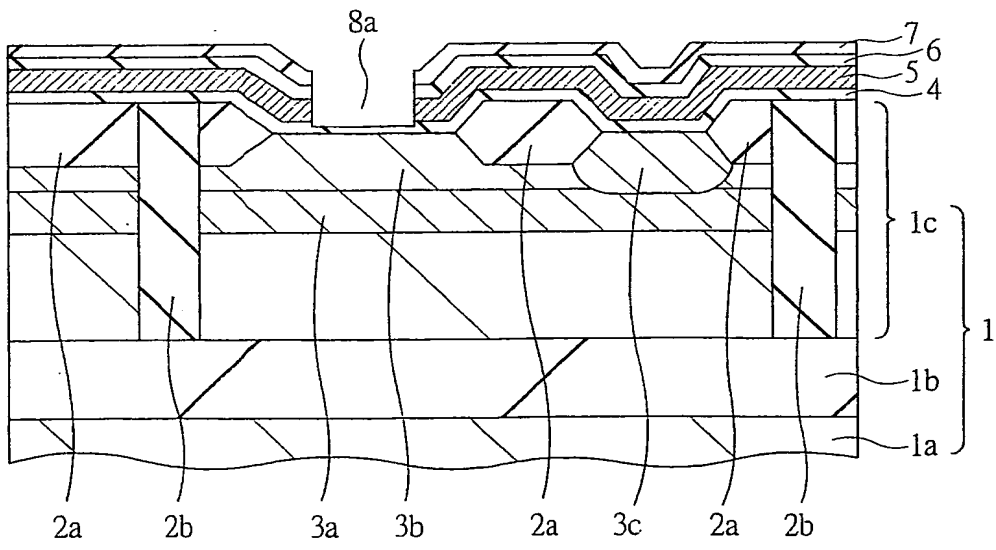


图 5

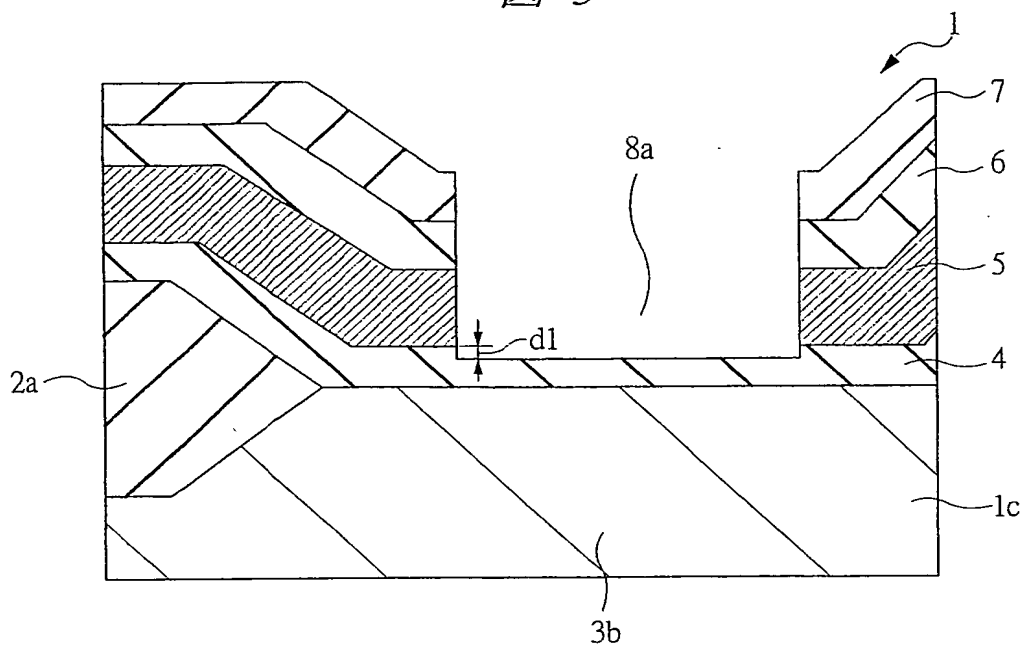


图 6

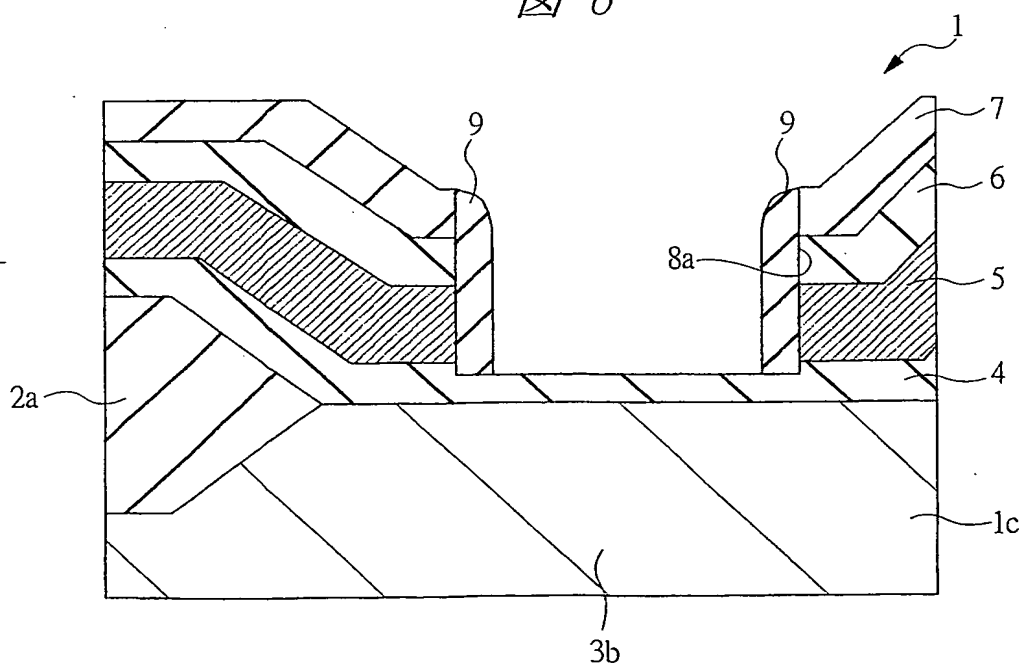


図 7

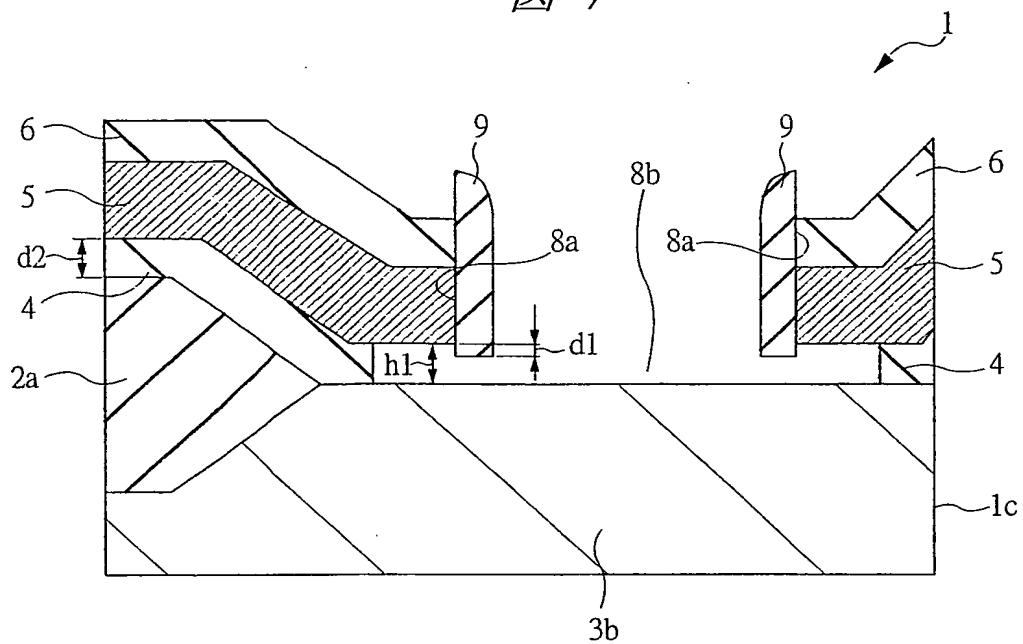
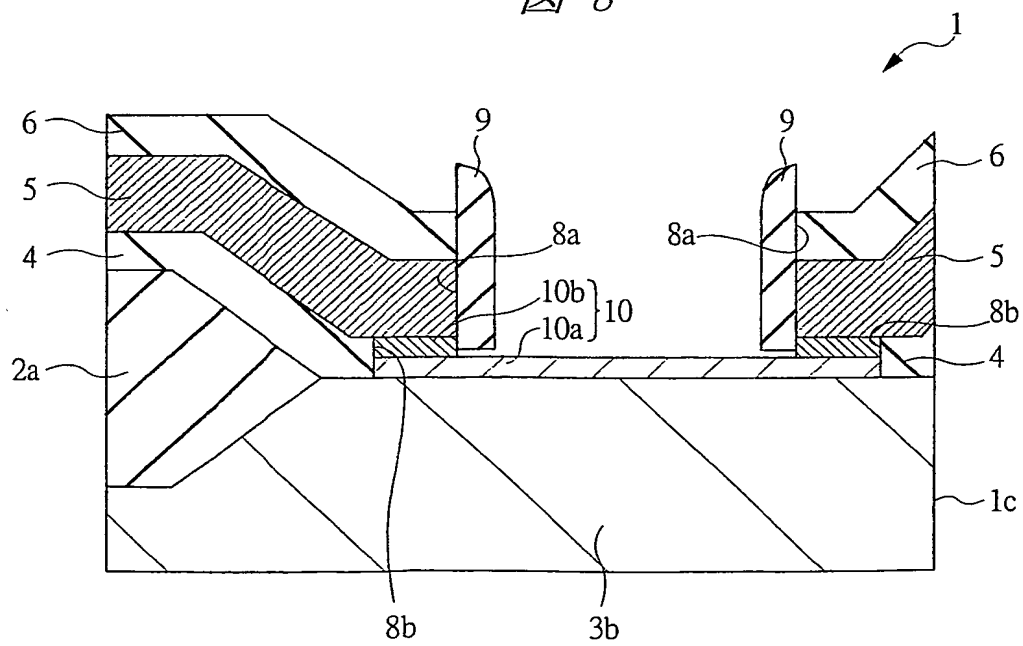
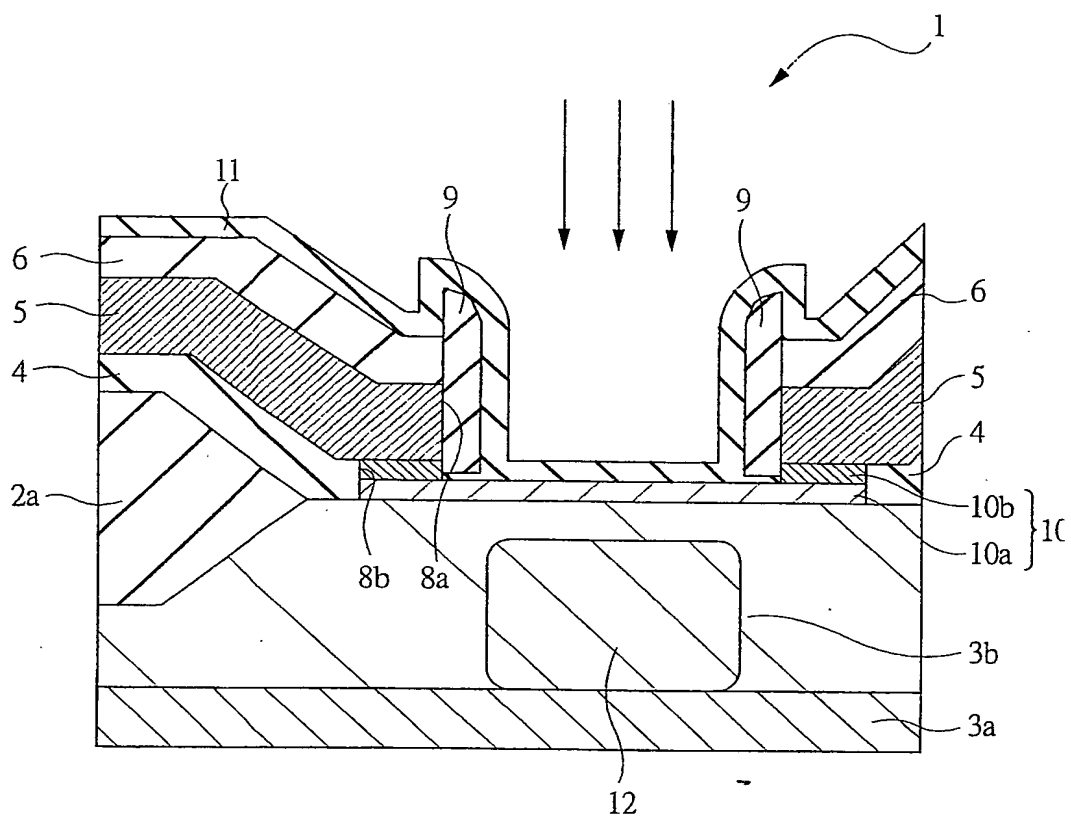


図 8



9



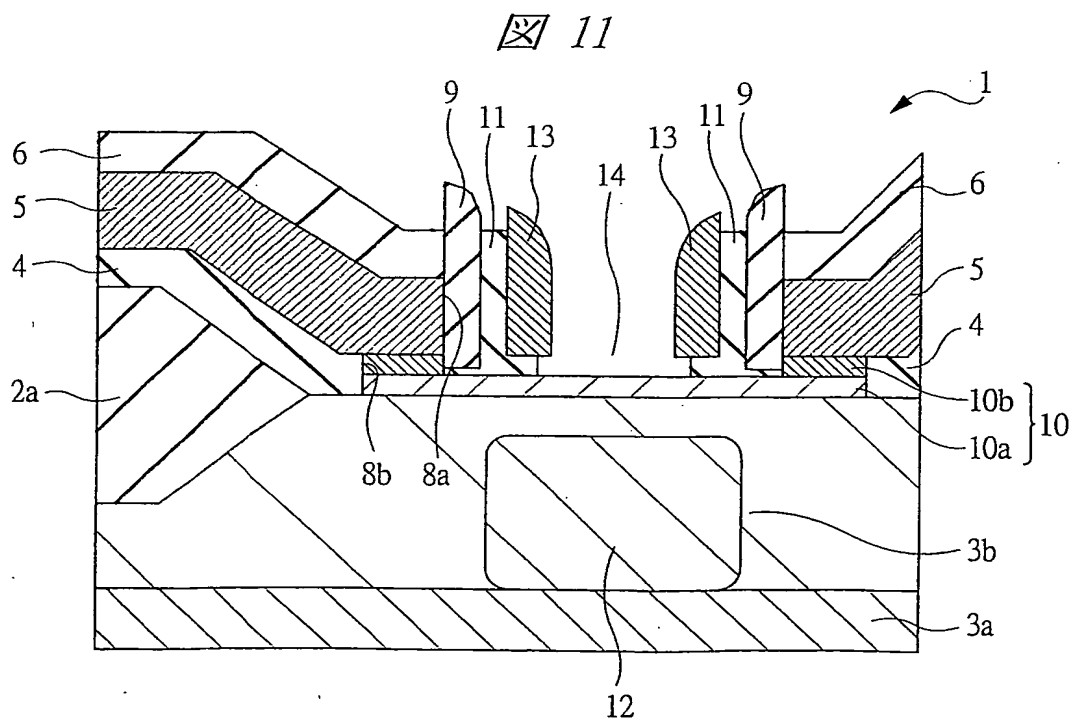
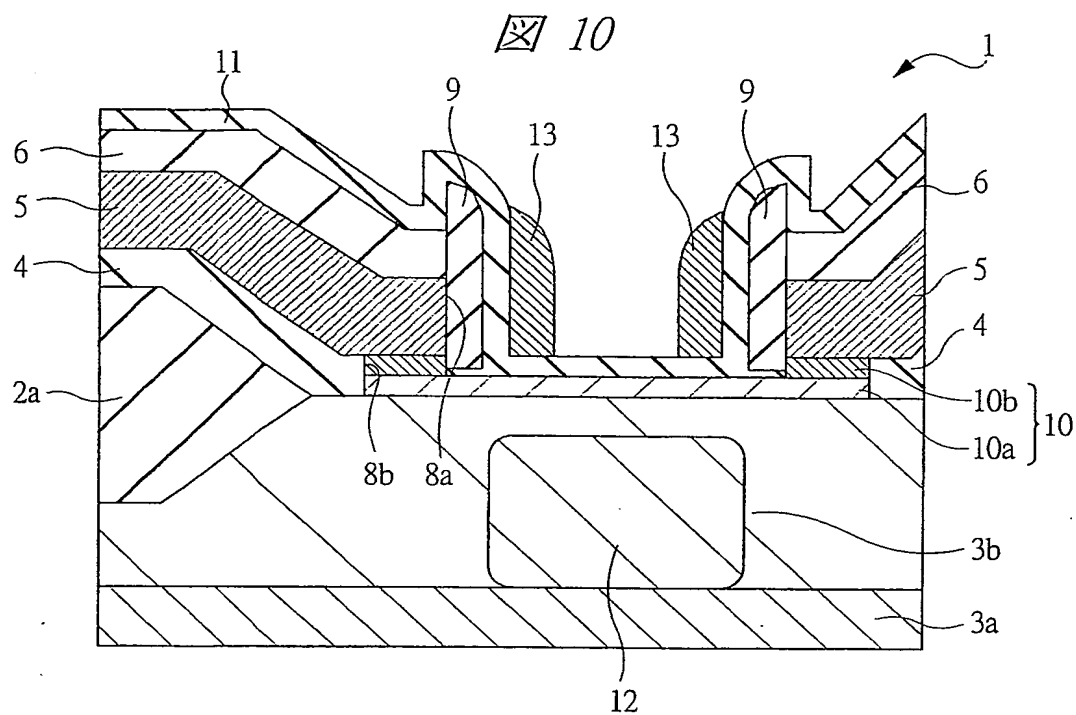


図 12

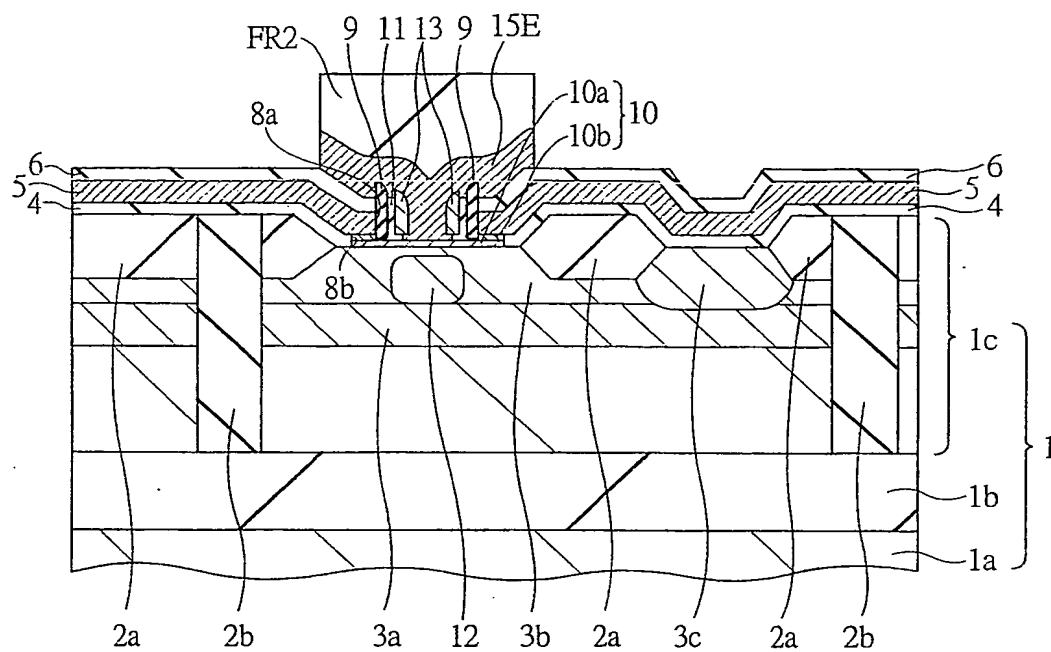


図 13

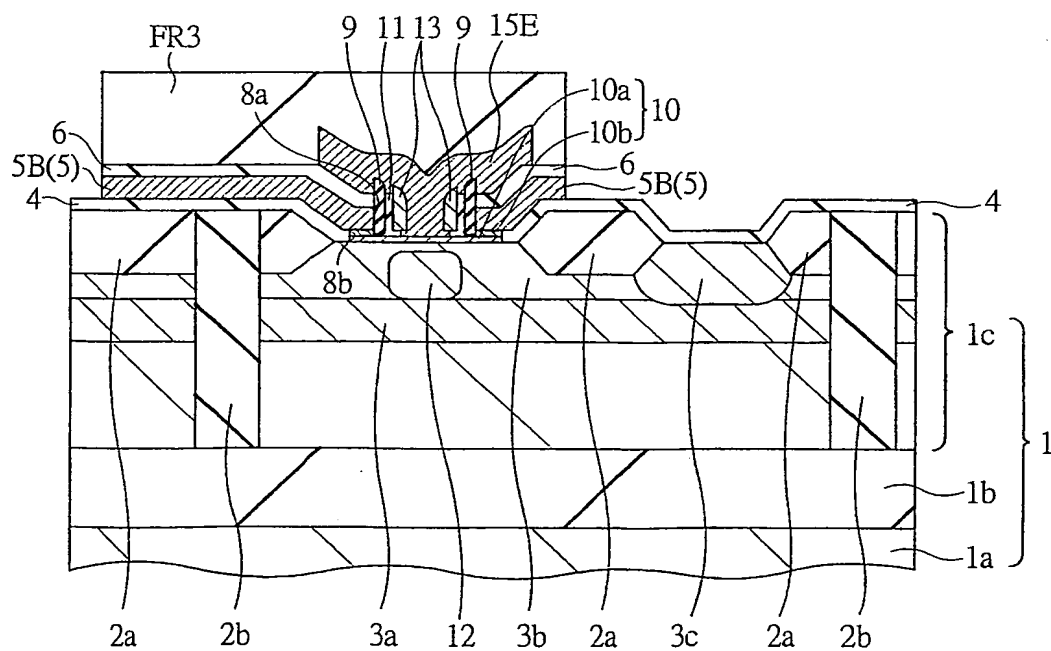


図 14

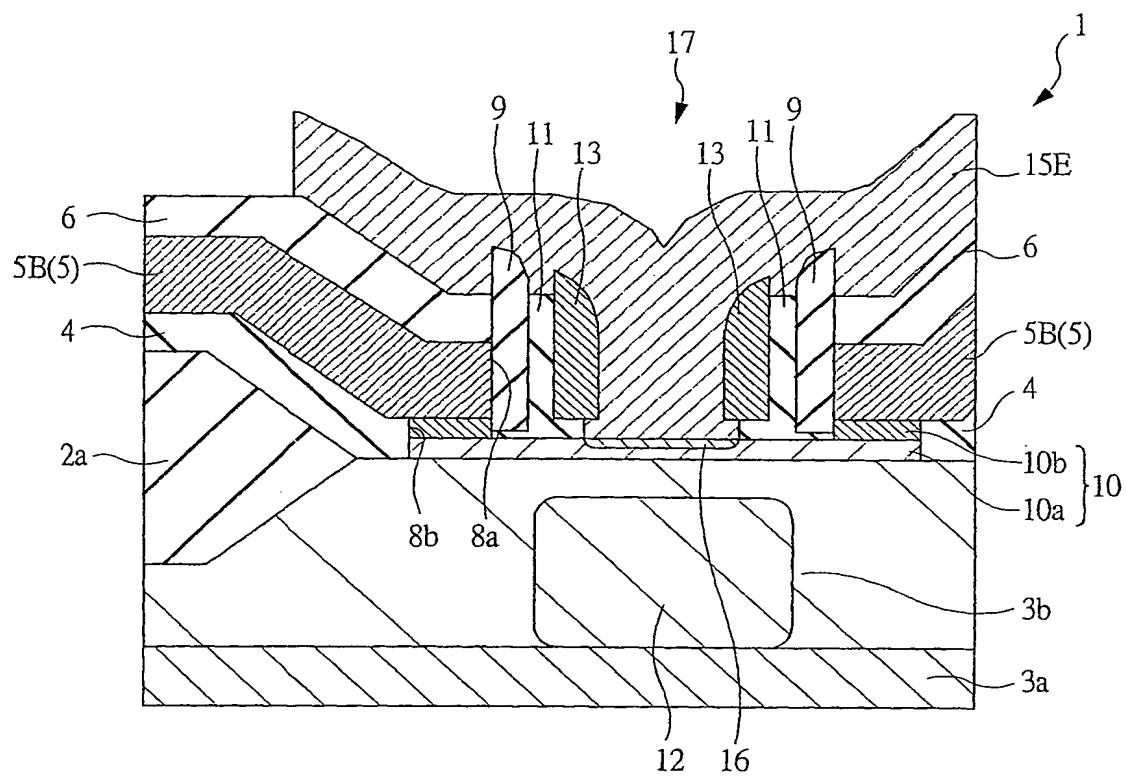
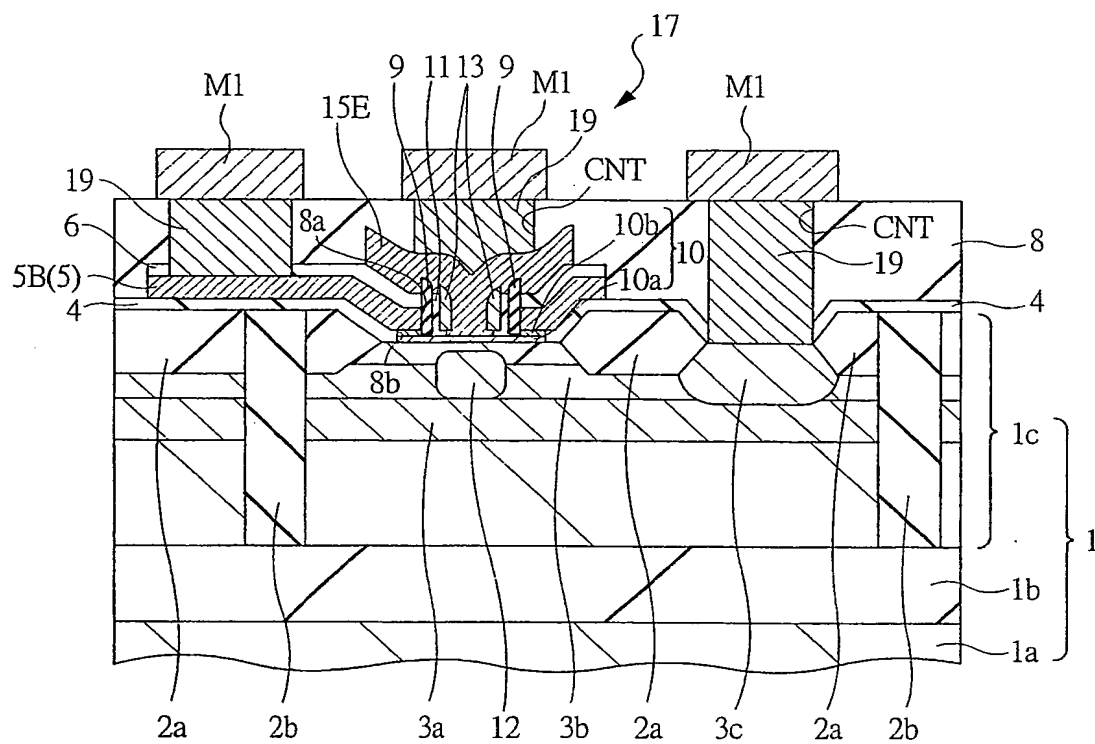


FIG 15



16

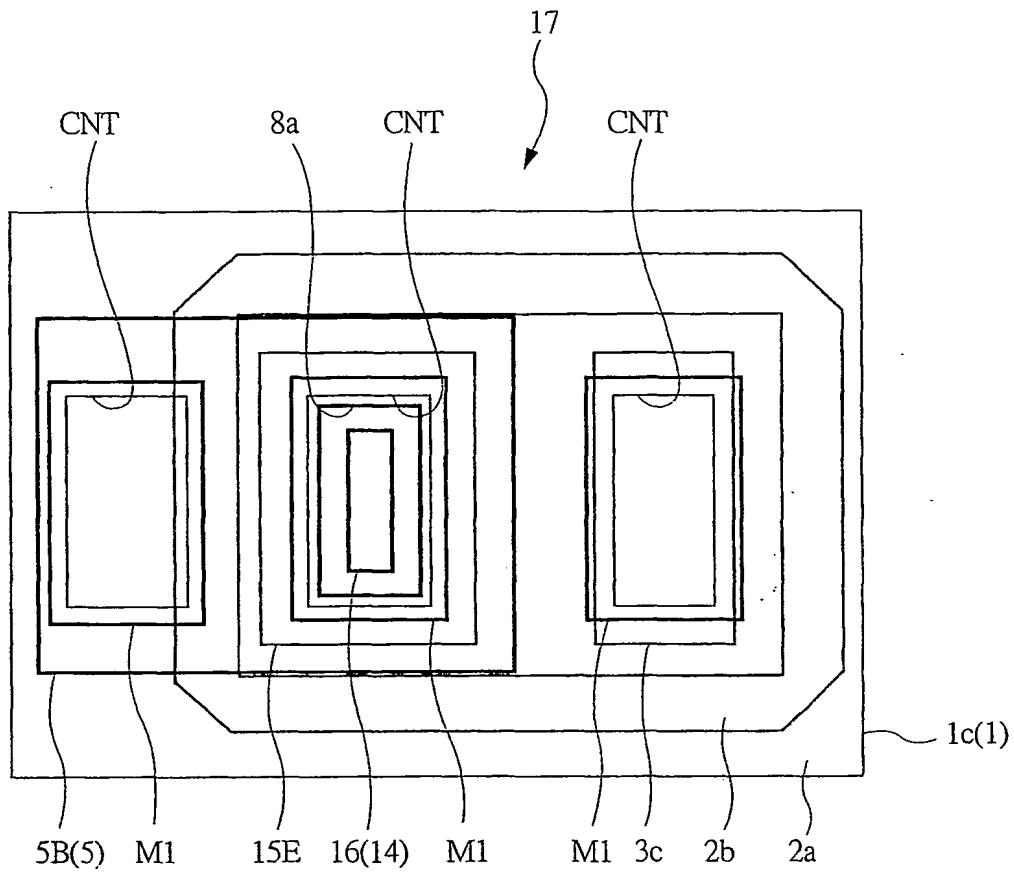


図 17

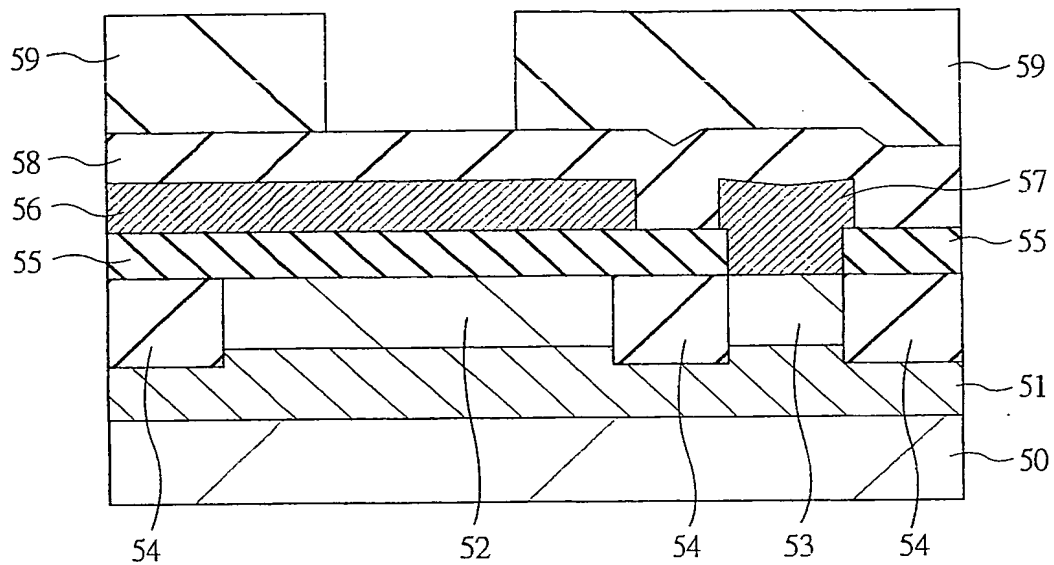


図 18

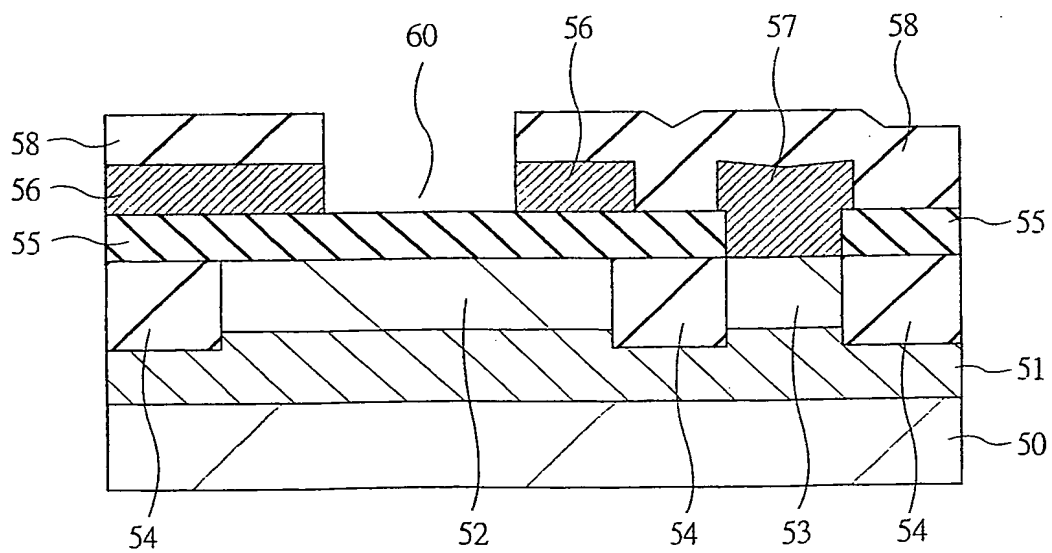


図 19

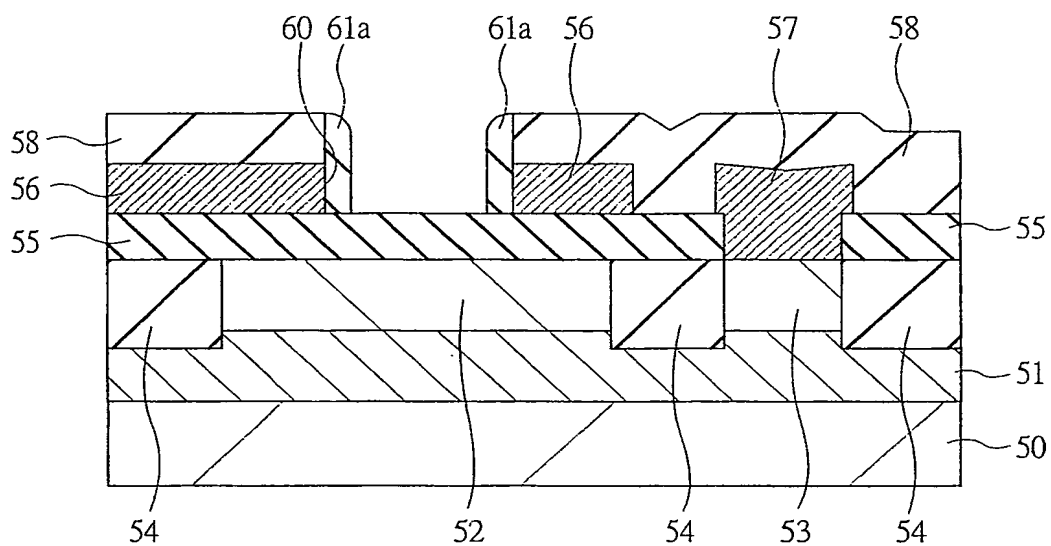


図 20

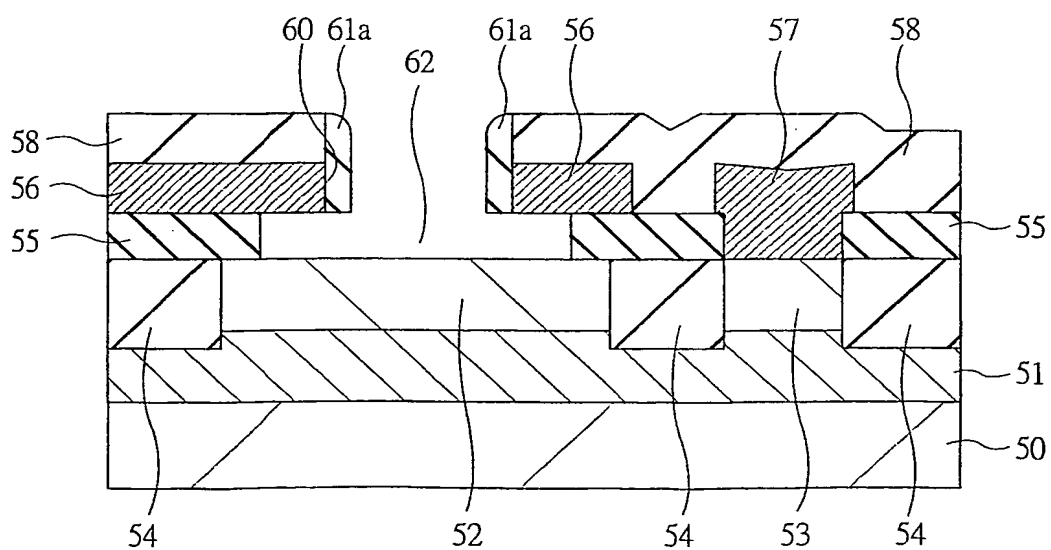


図 21

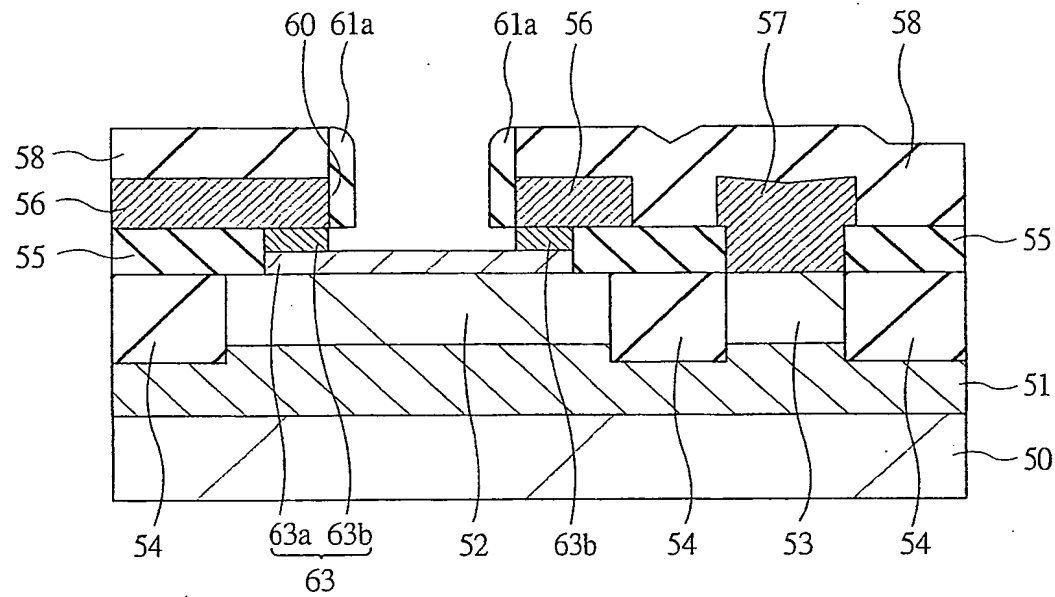


図 22

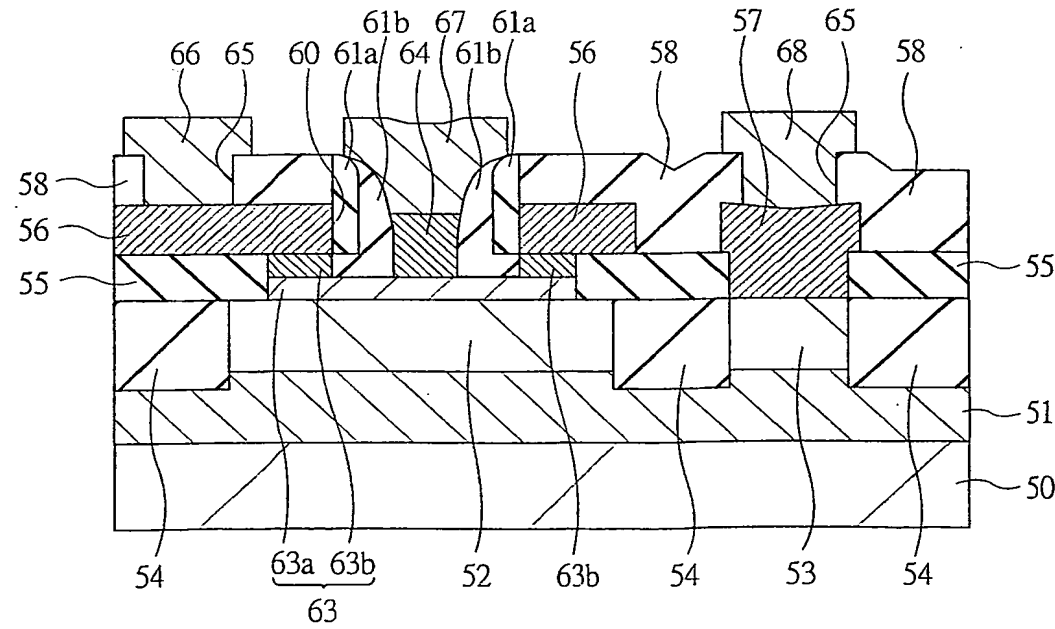


図 23

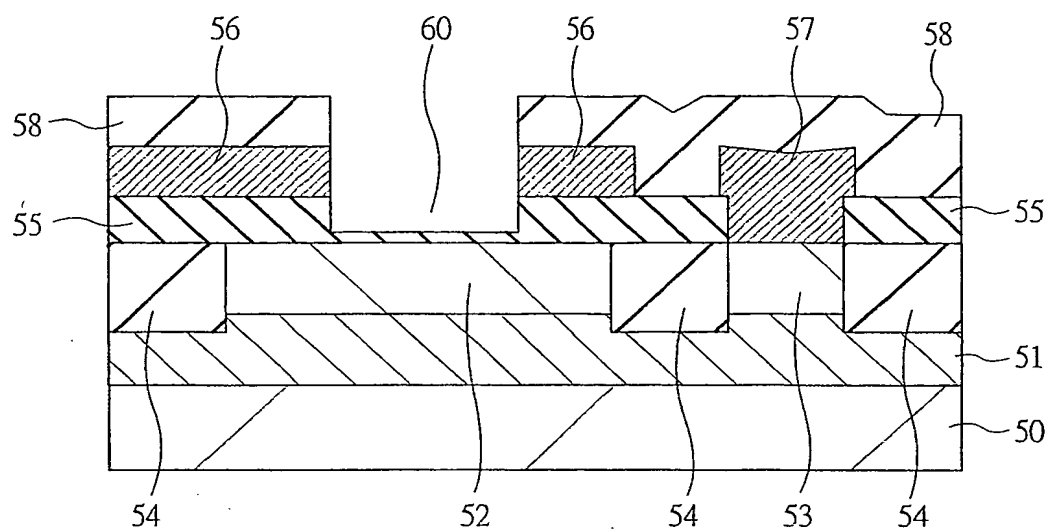


図 24

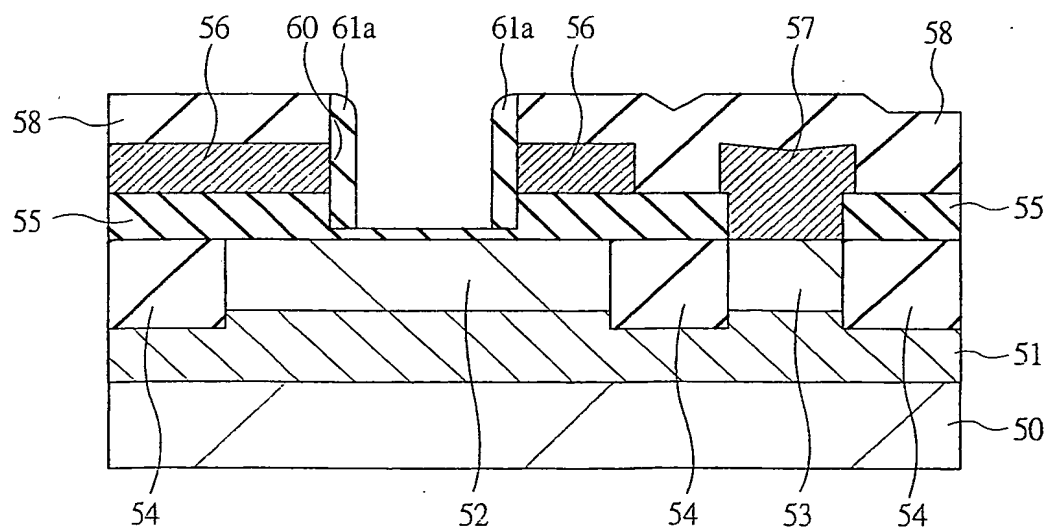


図 25

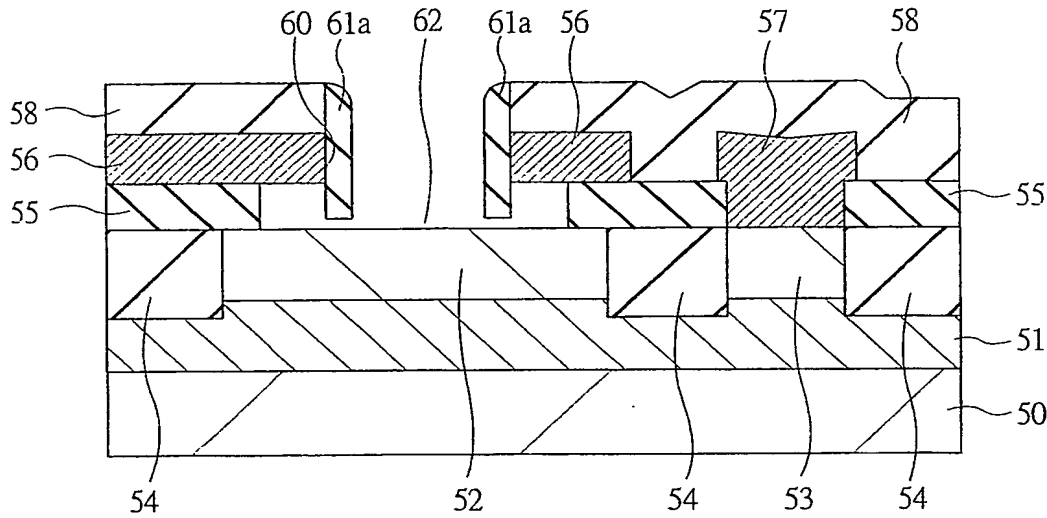


図 26

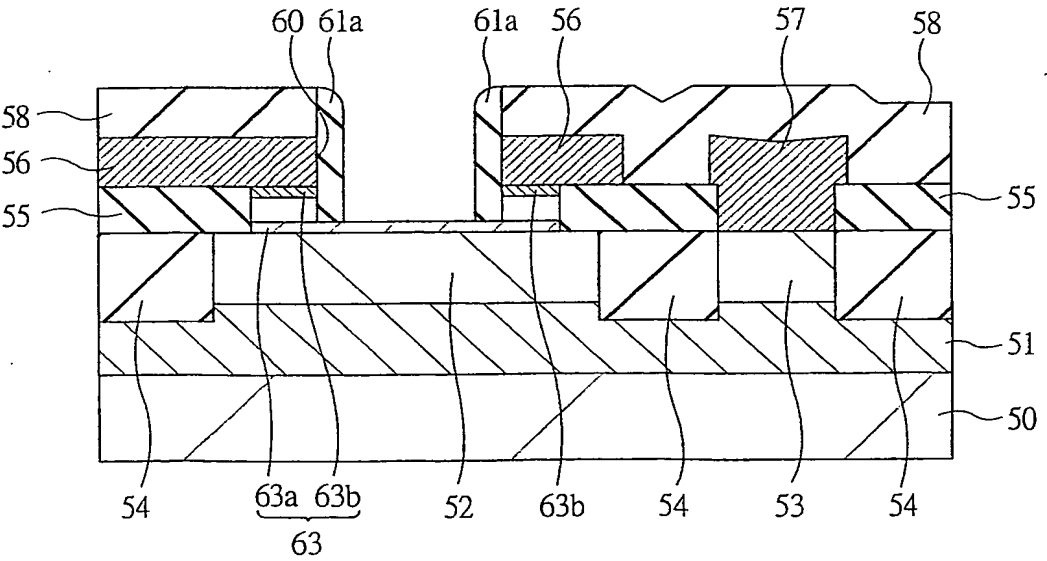


図 27

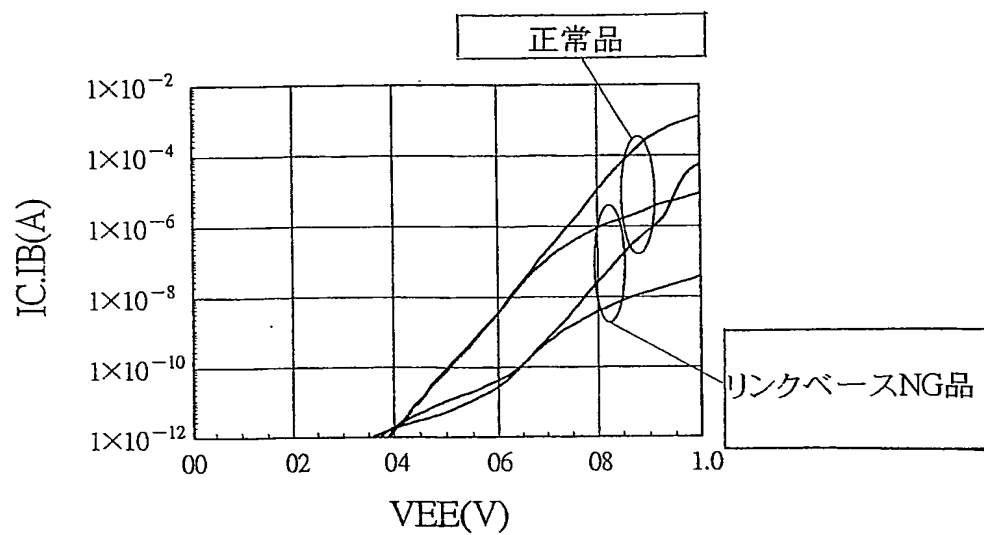
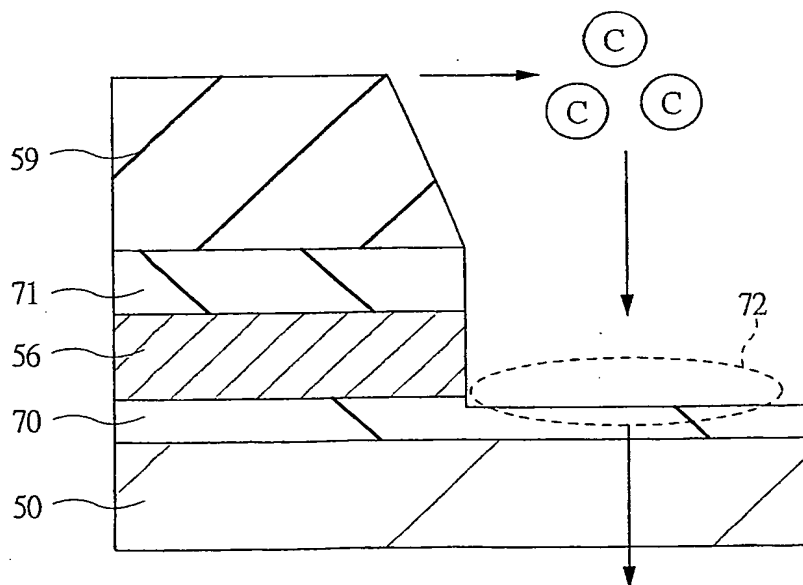
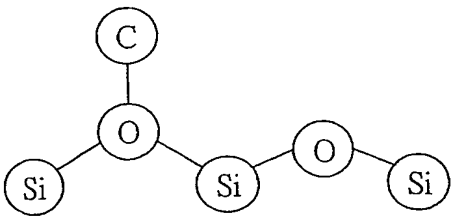
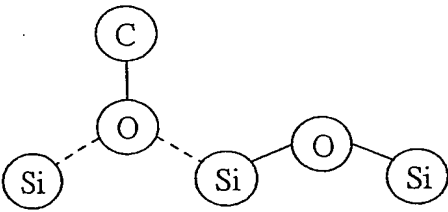
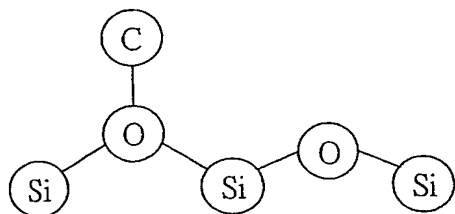


図 28

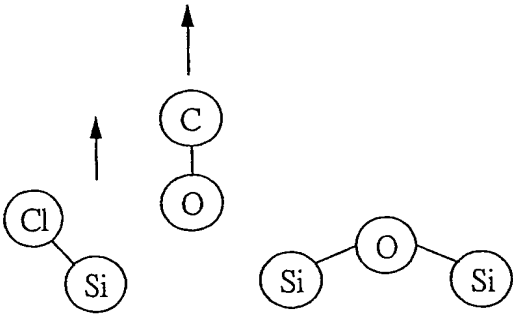
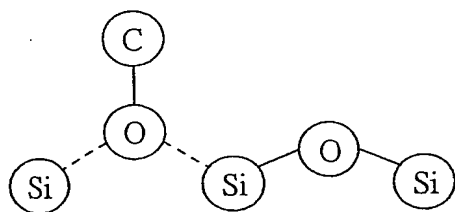




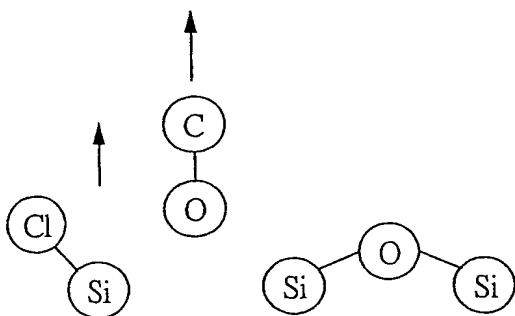
29



30



31



INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP02/03764

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/72

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/302, H01L21/462, H01L29/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-092833 A (Oki Electric Industry Co., Ltd.), 10 April, 1998 (10.04.98), Par. Nos. [0004] to [0007]; Fig. 3 (Family: none)	1-27 28-40
Y A	JP 63-052412 A (Hitachi, Ltd.), 05 March, 1988 (05.03.88), Page 2, lower right column to page 3, upper left column; Fig. 1 (Family: none)	1-27 28-40
Y A	JP 06-151387 A (Nippon Telegraph And Telephone Corp.), 31 May, 1994 (31.05.94), Par. Nos. [0022] to [0027]; Fig. 2 (Family: none)	1-27 28-40

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
02 July, 2002 (02.07.02)Date of mailing of the international search report
23 July, 2002 (23.07.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/03764

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-176807 A (Sony Corp.), 02 July, 1999 (02.07.99), Par. Nos. [0004] to [0006]; Fig. 2 (Family: none)	1-27 28-40

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H 0 1 L 2 9 / 7 2

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H 0 1 L 2 1 / 3 0 2, H 0 1 L 2 1 / 4 6 2, H 0 1 L 2 9 / 7 2

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 1 0 - 0 9 2 8 3 3 A (沖電気工業株式会社)	1 - 2 7
A	1998. 04. 10, 【0004】～【0007】及び図3 (ファミリーなし)	28 - 40
Y	J P 6 3 - 0 5 2 4 1 2 A (株式会社日立製作所)	1 - 2 7
A	1988. 03. 05, 第2頁右下欄～第3頁左上欄及び第1図 (ファミリーなし)	28 - 40

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02. 07. 02

国際調査報告の発送日

23.07.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

9361

電話番号 03-3581-110.1 内線 3498

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 06-151387 A (日本電信電話株式会社) 1994. 05. 31, 【0022】～【0027】及び図2 (ファミリーなし)	1-27 28-40
Y A	JP 11-176807 A (ソニー株式会社) 1999. 07. 02, 【0004】～【0006】及び図2 (ファミリーなし)	1-27 28-40